

# Microelettronica per esperimenti di fisica.

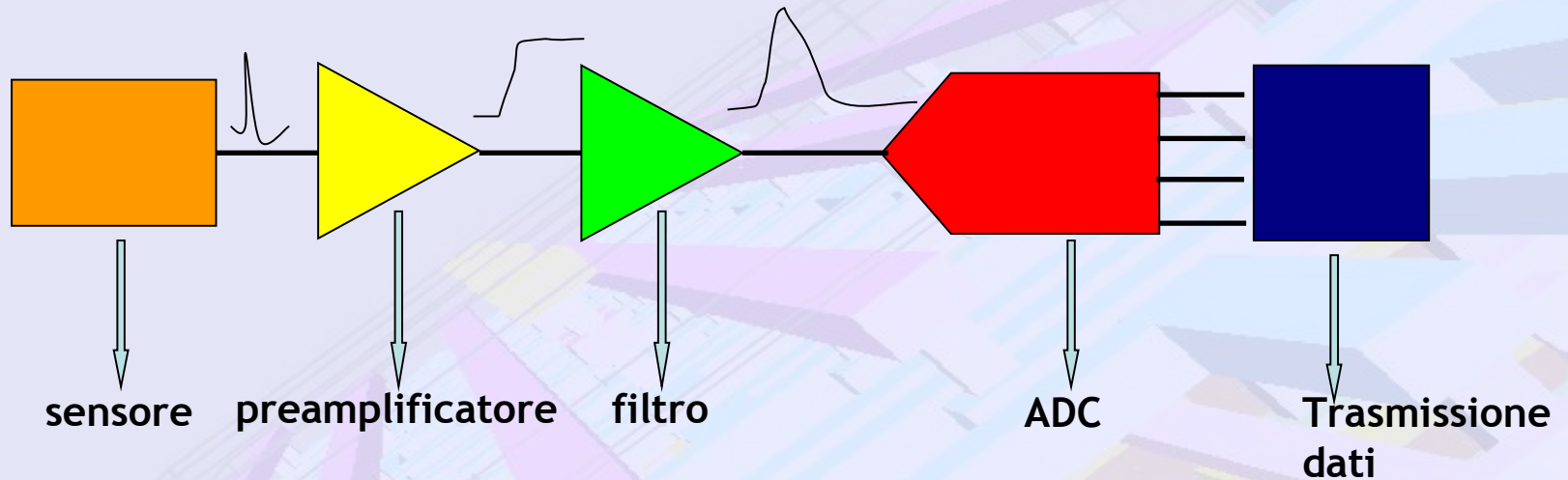
Le attività della Sezione di Torino

Parte I - Introduzione (per non hardwaristi...)

## L'attività di microelettronica a Torino

- L'attività di microelettronica a Torino inizia nei primi anni '90 con la progettazione dei chip di front-end per l'esperimento NA50 (W. Dabrowski e J. Dewitt).
- Nel 1994 viene prodotto il primo chip disegnato interamente con risorse "locali" (prototipo a 16 canali per la lettura di rivelatori a microstrip).
- A partire dal 1995 inizia lo sviluppo sistematico di elettronica per ALICE e TERA.
- Finora si sono sviluppati (e si stanno sviluppando) circuiti integrati per esperimenti di gruppo I, III e V.

## Uno schema tipico

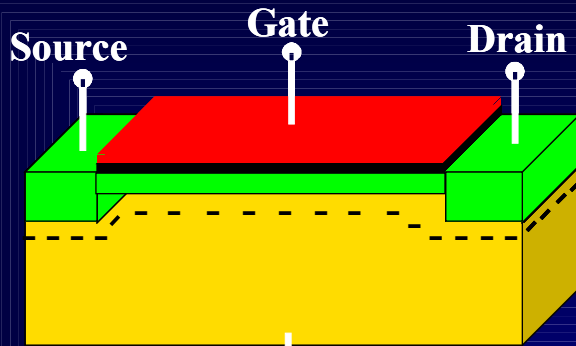


### Circuiti di particolare interesse:

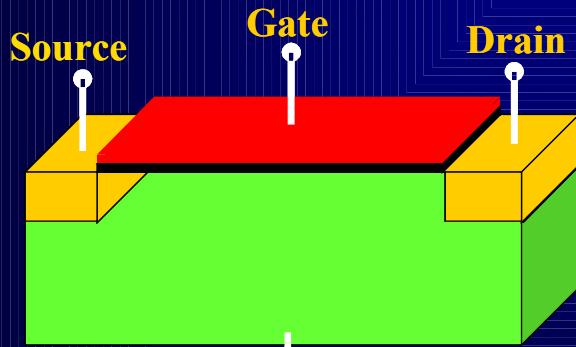
- Amplificatori e filtri.
- Comparatori, convertitori A/D e D/A
- Circuiti per le misura del tempo (TDC).
- Circuiti digitali di trasmissione dati e di controllo.

Per l'implementazione dei circuiti ci siamo fin qui serviti delle tecnologie CMOS.

# Il transistore MOS.

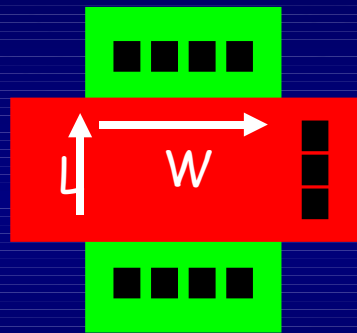


Bulk

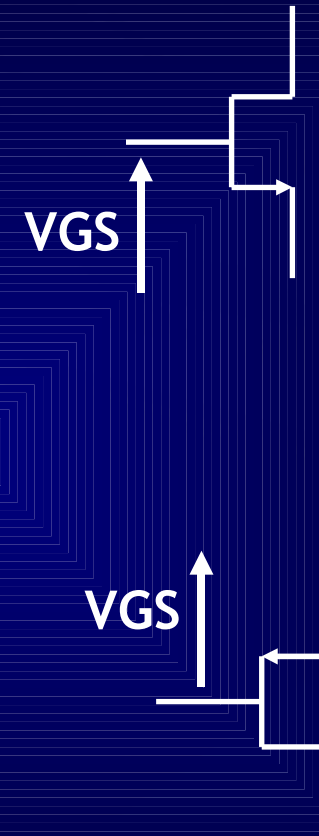


Bulk

NMOS

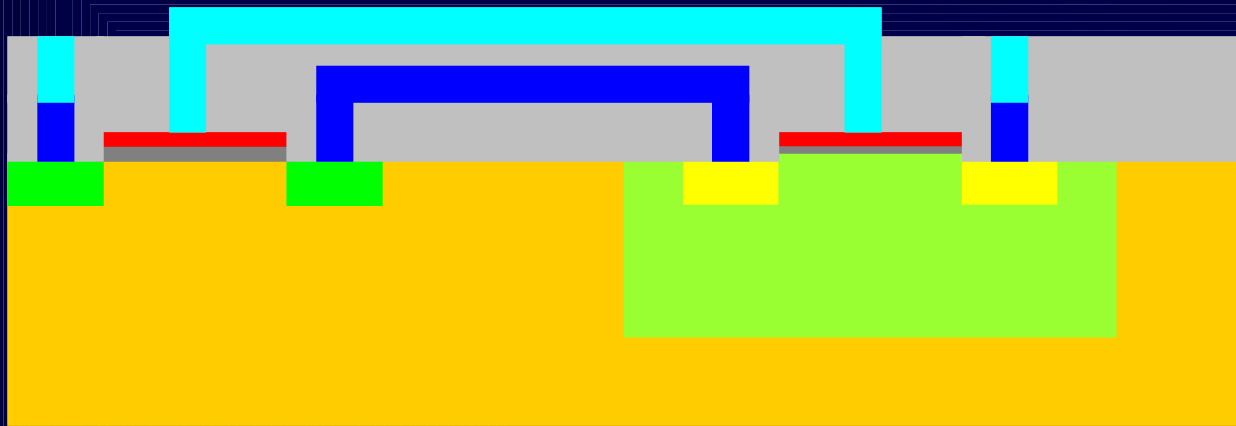


PMOS

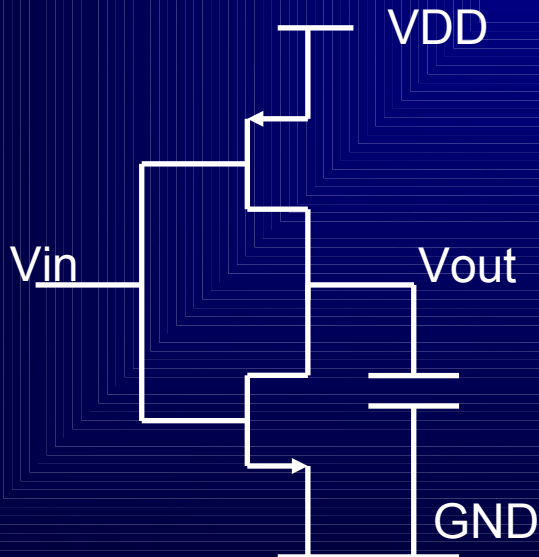


# Tecnologie CMOS.

CMOS = Complementary Metal Oxide Semiconductor

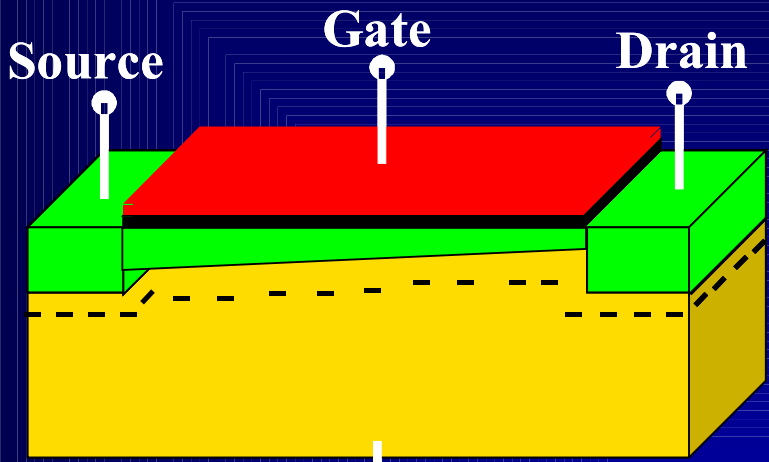


- p- sub
- n+ source/drain
- nwell
- p+ source/drain
- ossido di gate
- ossido di campo
- polisilicio (gate)
- m1
- m2



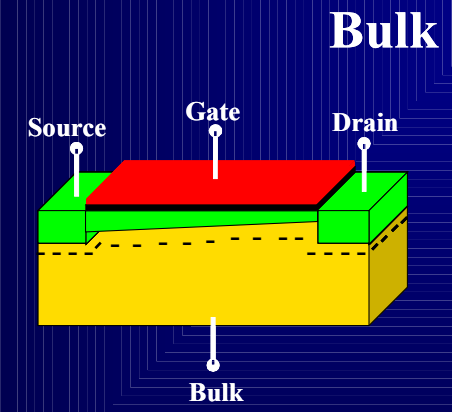
$$P = fCV^2$$

# Scaling (1)



$$V \rightarrow \frac{V}{\alpha}, d \rightarrow \frac{d}{\alpha} \quad d = \sqrt{\frac{2\epsilon}{q N_A}} V$$

$$d \Rightarrow \frac{d}{\alpha} = \sqrt{\frac{2\epsilon}{q N_A \alpha}} \frac{V}{\alpha} \Rightarrow N_A \rightarrow N_A \alpha$$



$$V_{TH} = \frac{Q_A}{C_{OX}} + \phi_{MS} + 2\phi_f + \dots$$

$$Q_A = q N_A d = q N_A \alpha \frac{d}{\alpha}$$

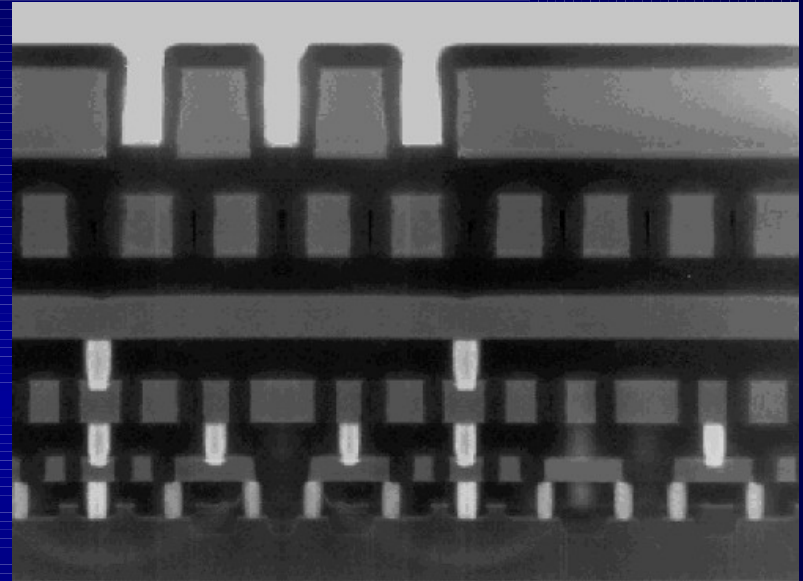
$$V_{TH} \rightarrow \frac{V_{TH}}{\alpha} \text{ se } C_{OX} \rightarrow C_{OX} \alpha$$

$$C_{OX} = \frac{\epsilon_{OX}}{t_{OX}} \Rightarrow t_{OX} \rightarrow \frac{t_{OX}}{\alpha}$$

# Scaling (2)

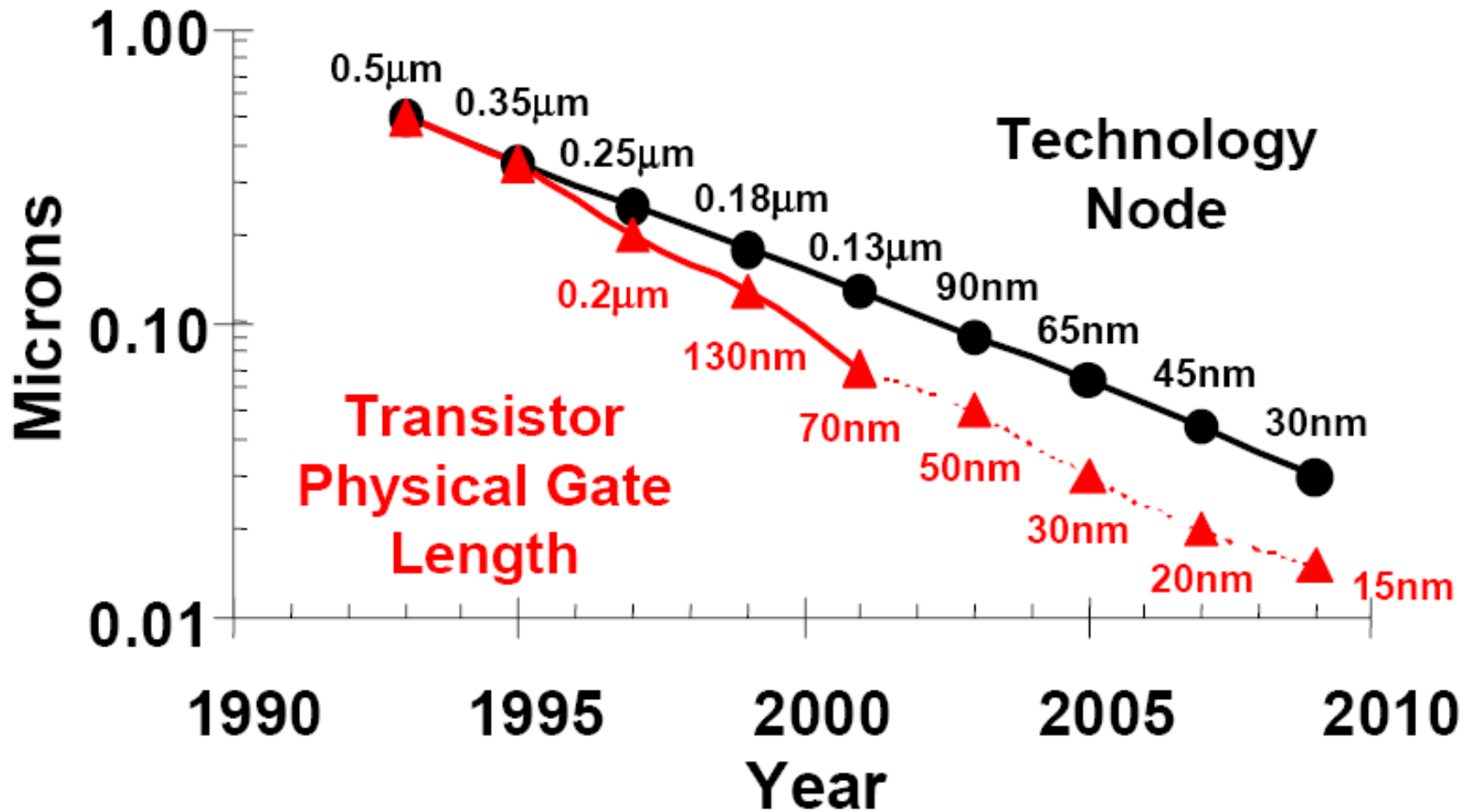
## Scaling a campo costante

Dimensioni fisiche (W, L, tox)	$1/\alpha$
Tensioni di alimentazione e di soglia	$1/\alpha$
Drogaggio	$\alpha$
Velocità	$\alpha$
Densità di componenti	$\alpha^2$
Densità di potenza	1



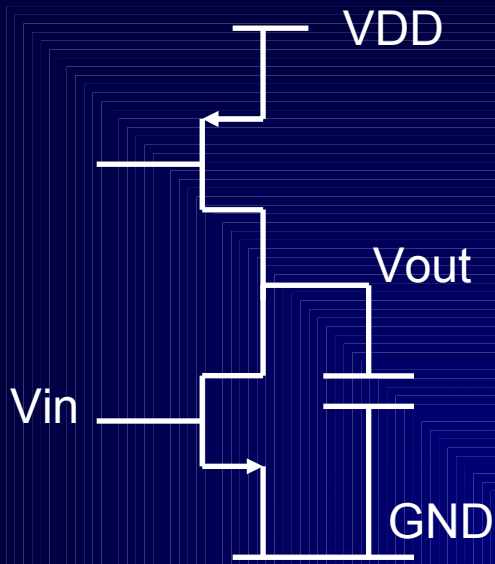
L'aumento di **densità di componenti** richiede anche un aumento del numero di **livelli di interconnessioni**  
 Il processo di scaling è ottimizzato per i circuiti digitali.

# Le generazioni tecnologiche: la legge di Moore





# Scaling e circuiti analogici: benefici...



$$A_v = V_{out}/V_{in} = g_m R_L$$

$$I_{DS} = \frac{1}{2} k \frac{W}{L} (V_{GS} - V_{TH})^2$$

$$k = \mu C_{OX}$$

$$g_m = \frac{\partial I_{DS}}{\partial V_{GS}} = \sqrt{2\mu C_{OX} \frac{W}{L} I_{DS}}$$

$$I_{WI} = I_M \frac{W}{L} e^{\frac{V_{GS} - V_{TH}}{nU_T}}$$

$$U_T = \frac{kT}{q} \quad g_m = \frac{I_{DS}}{nU_T}$$

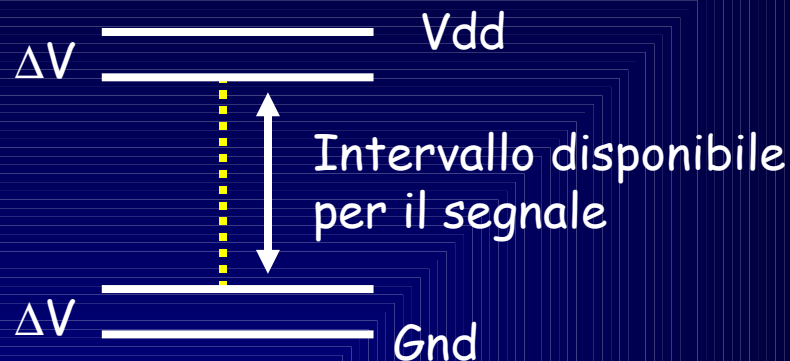
$$I_{lim} = 2nk(W/L)U_T^2$$

$t_{ox}$  si riduce,  $k = \mu C_{ox} = m\epsilon_{ox}/t_{ox}$  aumenta  $\Rightarrow$  a parità di corrente di polarizzazione e di  $W/L$  la transconduttanza aumenta.

$\mu C_{ox}$  per diversi processi tecnologici (NMOS)

$L_{min}$ (nm)	$t_{ox}$ (nm)	$\mu C_{ox}$ ( $\mu A/V^2$ )
1.2	24	68
0.8	14	90
0.5	10	134
0.25	5	280

$$P = 8\pi kT \cdot \text{SNR} \cdot f_{\text{sig}} \frac{V_{\text{dd}}}{V_{\text{dd}} - \Delta V}$$



- Passando da una generazione tecnologica a quella successiva la qualità **dei dispositivi migliora**.
  - Il range dinamico disponibile per i circuiti analogici **tende a ridursi**
  - Deve esistere un punto di ottimo, individuato nella generazione 0.35  $\mu\text{m}$  - 0.25  $\mu\text{m}$
- (A. J. Annema, IEEE Trans. On Circuits and Systems, II vol 46, No. 6, June 1999).**

# Scaling generalizzato (1)

- La tensione di soglia **non può essere** scalata come prescritto dal semplice modello a **campo costante**, altrimenti le correnti sottosoglia diventano intollerabili.
- Ricordando che la **corrente sottosoglia** si può esprimere come:

$$I_{WI} = I_M \frac{W}{L} e^{\frac{V_{GS} - V_{TH}}{nU_T}}$$

si calcola che occorre variare  $V_{GS}$  di **60 mV** per ridurre  $I_{ds}$  di **10x**.

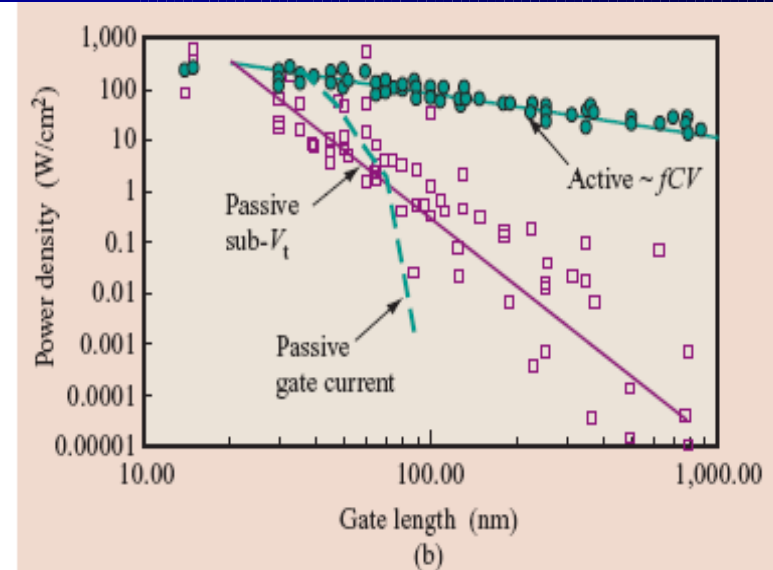
- Il valore minimo di **60mV/decade** non è raggiungibile e valori tipici sono dell'ordine di **80 mV/decade**.
- La tensione di soglia non può scendere sotto qualche **centinaio di mV**
- Pertanto l'alimentazione **non è ridotta in proporzione alle dimensioni** e il campo elettrico all'interno del dispositivo tende ad aumentare.

# Scaling generalizzato (2)

Importante: la potenza dissipata per unità di **area aumenta**.

<i>Parameter</i>	<i>Constant-field scaling</i>	<i>Generalized field scaling</i>
Physical dimensions, $L, W, T_{ox}$ , wire pitch	$1/\alpha$	$1/\alpha$
Body doping concentration	$\alpha$	$E/\alpha$
Voltage	$1/\alpha$	$E/\alpha$
Circuit density	$1/\alpha^2$	$1/\alpha^2$
Capacitance per circuit	$1/\alpha$	$1/\alpha$
Circuit speed	$\alpha$	$\alpha$ (goal)
Circuit power	$1/\alpha^2$	$E^2/\alpha^2$
Power density	1	$E^2$
Power-delay product (energy per operation)	$1/\alpha^2$	$E^2/\alpha^3$

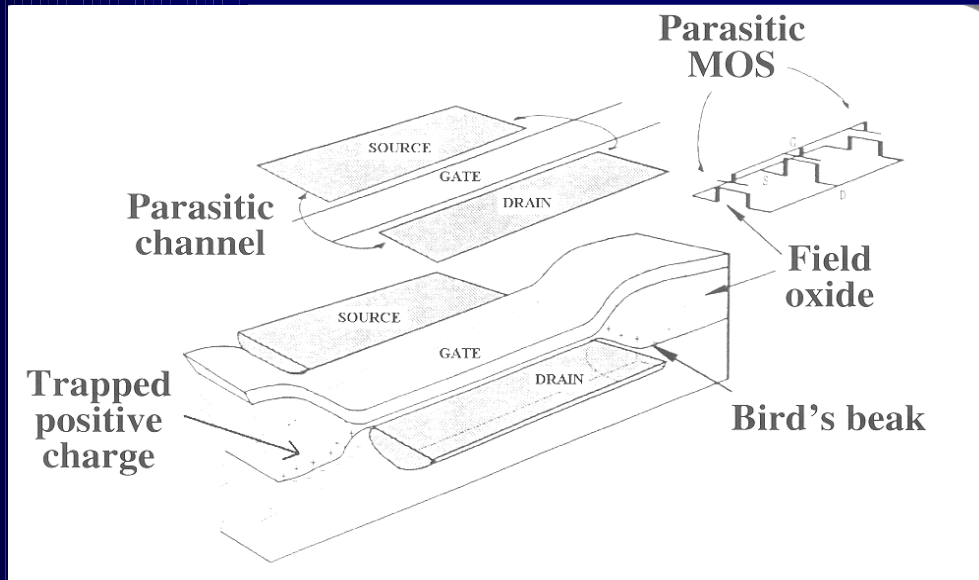
Da: J. Haensch et al.  
"Silicon CMOS beyond scaling"  
IBM Journal of Research  
and Development  
Settembre 2006



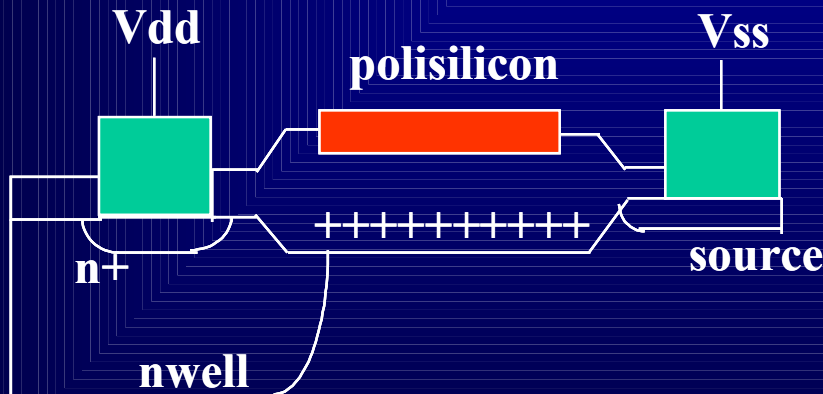
# Circuiti analogici e scaling

- Passando da una generazione tecnologica a quella successiva la qualità **dei dispositivi migliora**.
- Il range dinamico disponibile per i circuiti analogici **tende a ridursi**
- Deve esistere un punto di ottimo, individuato nella generazione  $0.35\ \mu\text{m} - 0.25\ \mu\text{m}$  (**A. J. Annema, IEEE Trans. On Circuits and Systems, II vol 46, No. 6, June 1999**).

# Danneggiamento da radiazione nei dispositivi CMOS

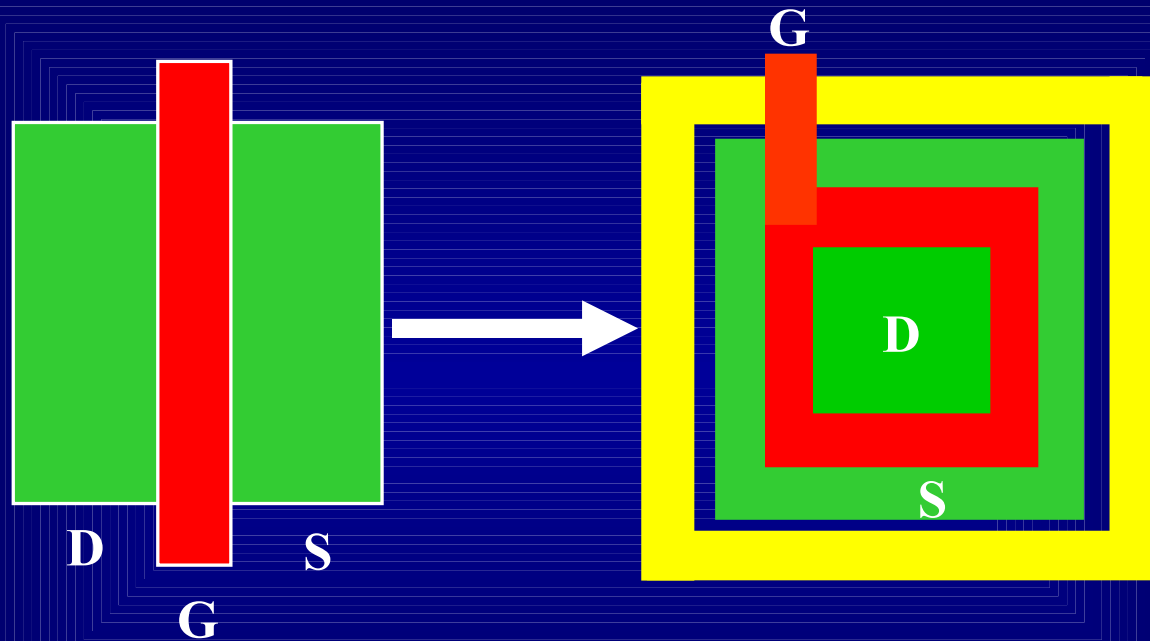


- Il danneggiamento avviene negli **ossidi (TID)**.
- Due effetti principali:
  - ⇒ Spostamento della tensione di soglia del **dispositivo principale**.
  - ⇒ Spostamento della tensione di soglia **dei dispositivi parassiti laterali**.



- La carica intrappolata nell'ossido spesso può attivare **cammini parassiti tra un transistor e l'altro**.

# Circuiti rad-tol in tecnologie CMOS standard



- L'utilizzo di **geometrie anulari** e di **anelli di guardia** permette di ottenere circuiti molto resistenti alla dose totale in tecnologie commerciali.
- La tolleranza ai **Single Event Effect** si ottiene con opportune tecniche di **progetto (ridondanza)**.

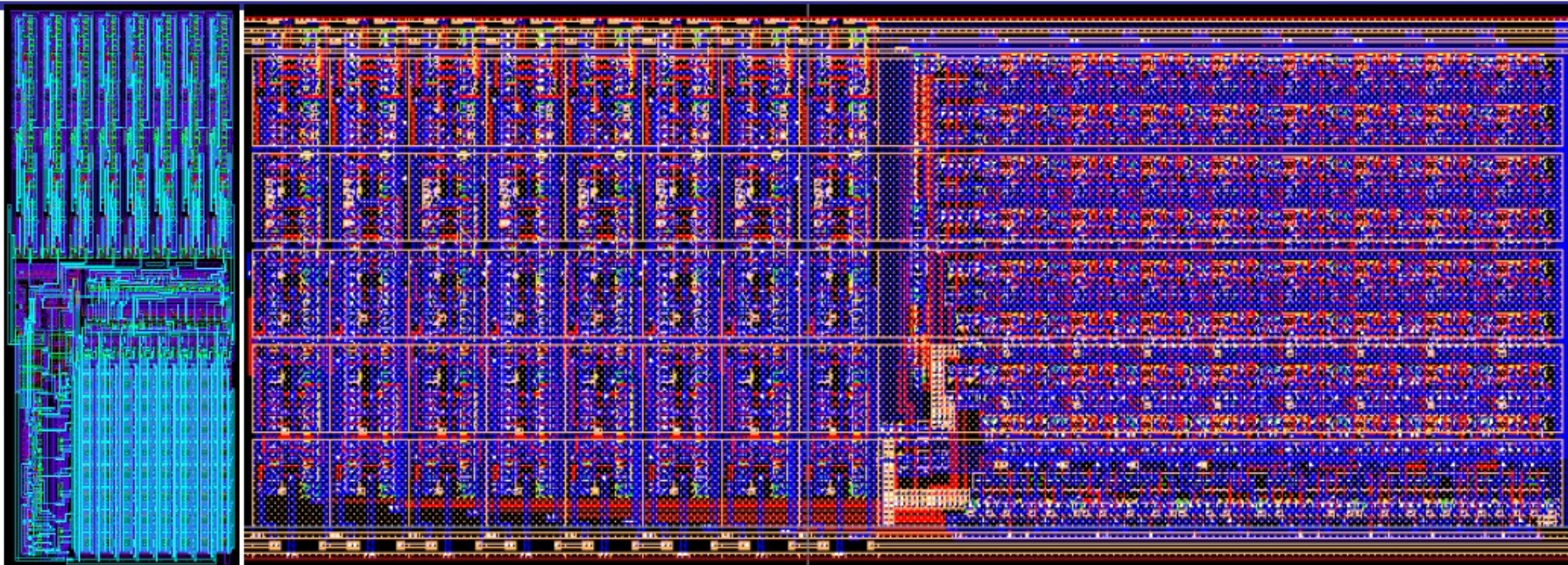


# Elettronica per HEP nell'era di LHC

- I rivelatori di **LHC** hanno richiesto la progettazione di un notevole numero di **circuiti integrati**.
- Circa i  $\frac{3}{4}$  dell'elettronica integrata per LHC progettata in un processo commerciale da **0.25  $\mu\text{m}$**  che ha garantito:
  - **Eccellenti prestazioni analogiche.**
  - **Ottima tolleranza alle radiazioni.**
  - **Relativa facilità di utilizzo** da parte dei designer (processo non troppo complesso)
  - **Costi ragionevoli** (120-150k\$ per un "engineering run")
- I processi della generazione 0.35 - 0.25  $\mu\text{m}$  ancora **disponibili per qualche anno.**

# Benefici dello scaling

**FEI design: from 0.8 $\mu\text{m}$  DMILL to rad hard 0.25 $\mu\text{m}$**



Cella di lettura del chip di front-end dei pixel dell'esperimento ATLAS implementata in 0.8  $\mu\text{m}$  e in 0.25  $\mu\text{m}$ .

# Scaling ed elettronica per HEP: prospettive future

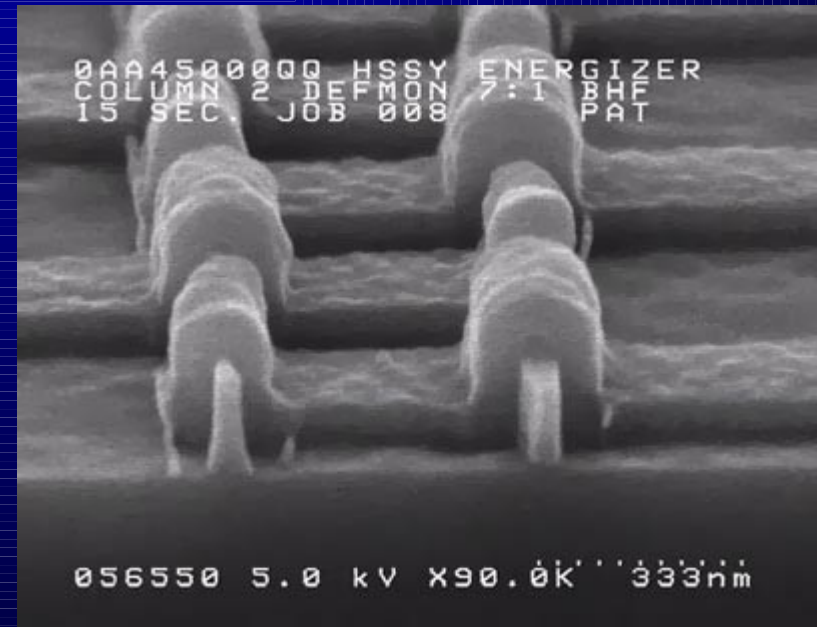
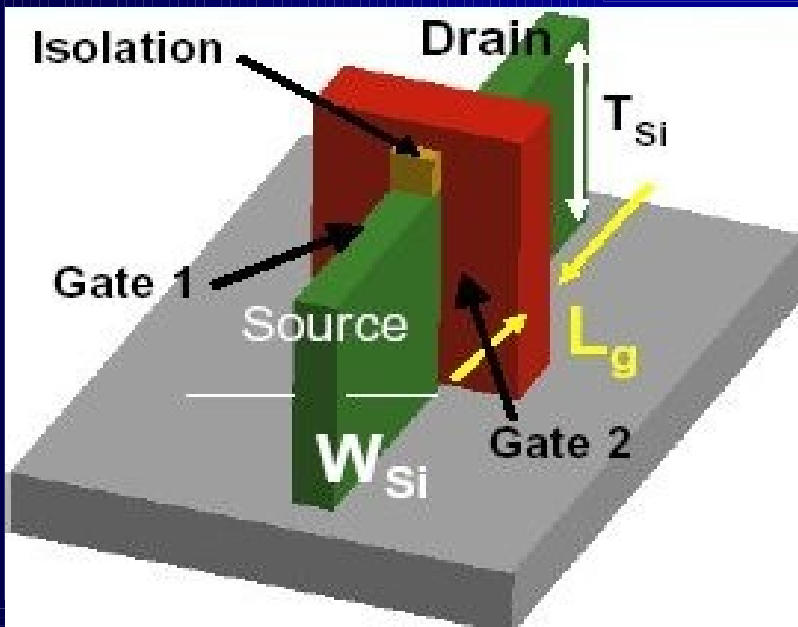
"Indeed, even though **CMOS is (and will remain) the industry workhorse up to and beyond the year 2020**, it is anticipated that **new devices** will be introduced in the **latter half of the next decade** utilizing different and new ways of processing and storing information."

From the "INTERNATIONAL TECHNOLOGY ROADMAP FOR SEMICONDUCTOR" 2005 Edition.

- Lo **scaling** delle tecnologie CMOS è destinato quindi a **continuare**.
- Il **limite ultimo** della lunghezza di gate è stimato a seconda degli autori a **4-7 nm**.
- Tuttavia **numerose difficoltà tecnologiche** devono essere superate prima che questo limite possa essere effettivamente raggiunto.
- Tecnologie così aggressive potrebbero essere **tecnicamente fattibili**, ma **non economicamente vantaggiose**.

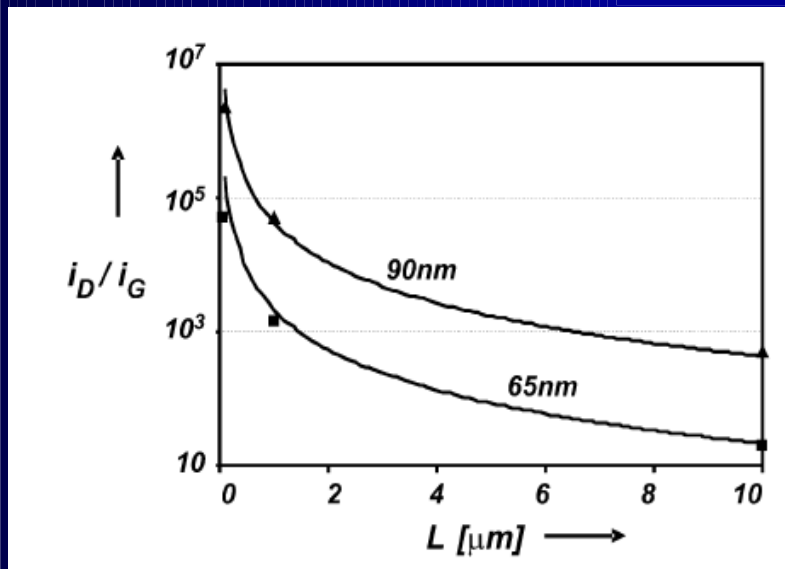
# Futuri dispositivi CMOS

- Il raggiungimento degli ambiziosi obiettivi di scaling richiede **dispositivi di nuova generazione**.
  - Punti critici sono:
    - La **riduzione dello spessore dell'ossido di gate** per mantenere un efficace controllo del gate sul canale -> ossidi ad **elevata permittività**.
    - La riduzione delle **capacità parassita** -> **dispositivi SOI**.
    - L'aumento della **mobilità dei portatori**-> uso di **SiGe** e "strain film".
- Un esempio di nuovo dispositivo: il FinFET**

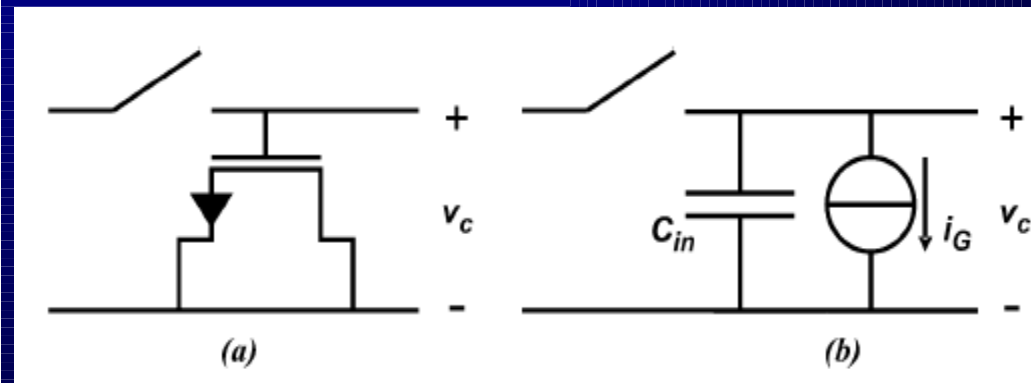


# UDSM CMOS e circuiti analogici

- La **qualità** di alcuni parametri dei transistor continuerà a **migliorare**.
- Tuttavia la riduzione delle tensioni di alimentazione avrà influenza sul range dinamico → **il consumo di potenza per un determinato SNR** tenderà a salire
- La corrente di fuga del gate dovuta **all'effetto tunnel** diventerà rilevante, limitando l'uso di **transistori di L elevata**.
- **$i_{D}/i_{tunnel}$**  proporzionale a  $(W/L)/(W.L) \sim 1/L^2$
- La corrente di fuga del gate avrà influenza sui **circuiti di sample&hold**.

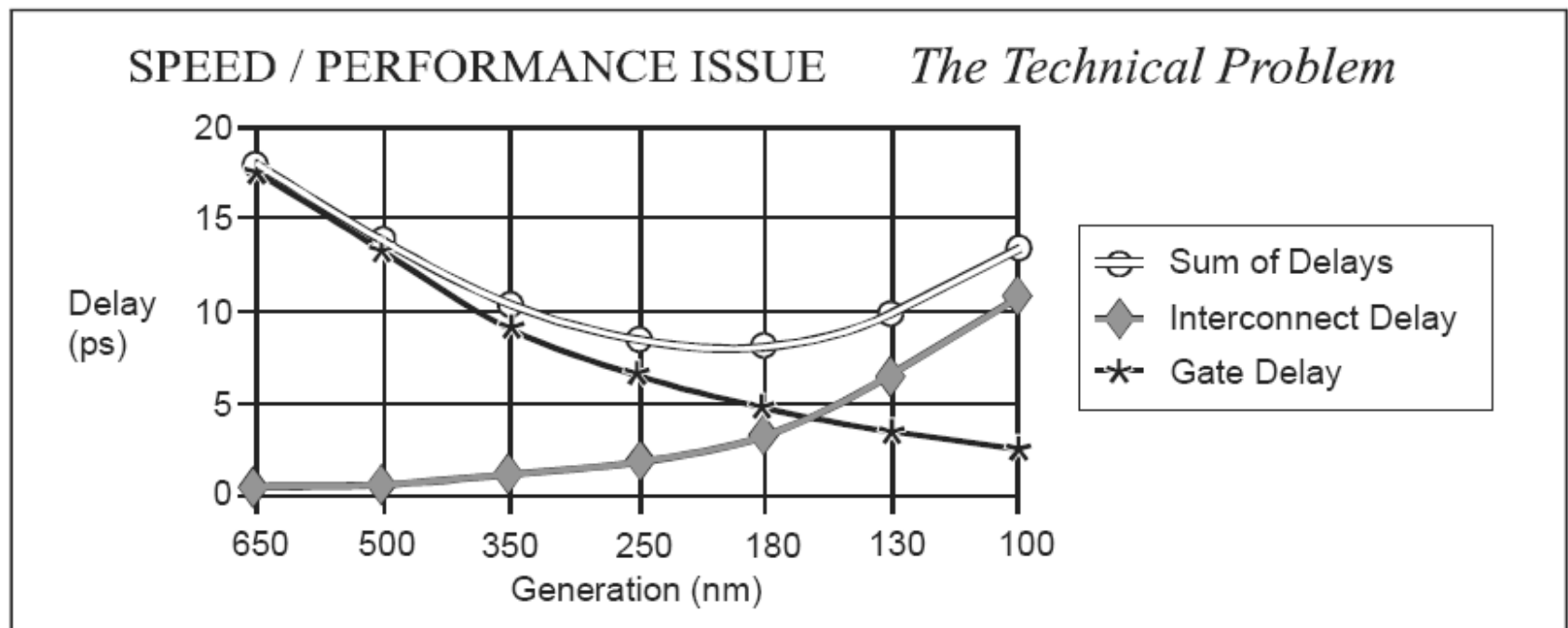


A. J. Annema et al., "Analog Circuits in Ultra-Deep-Submicron CMOS", JSSC, Jan 2005.



# Il problema delle interconnessioni

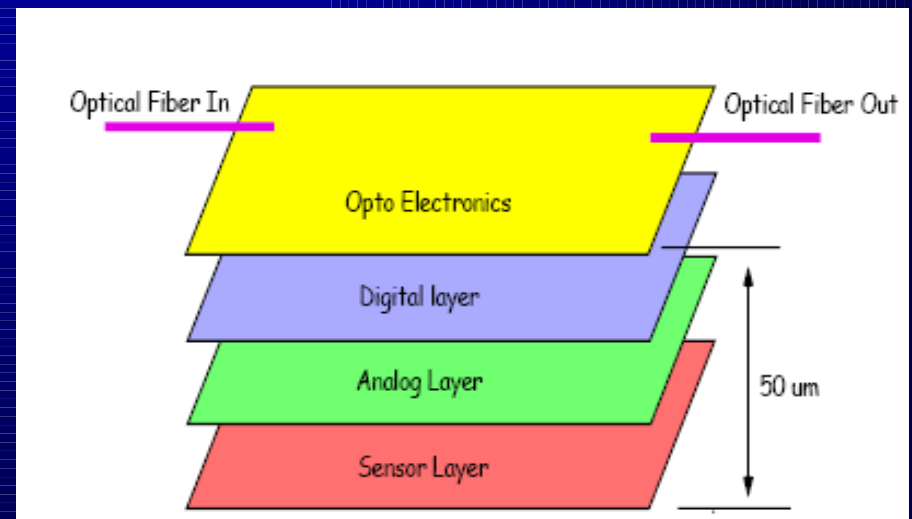
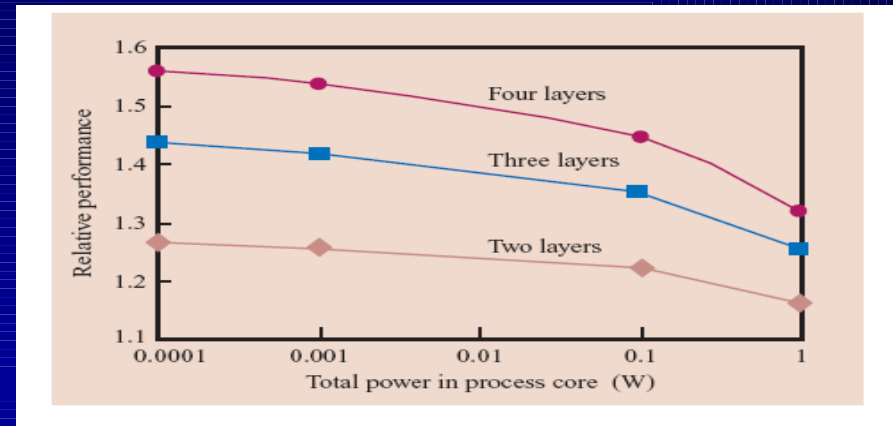
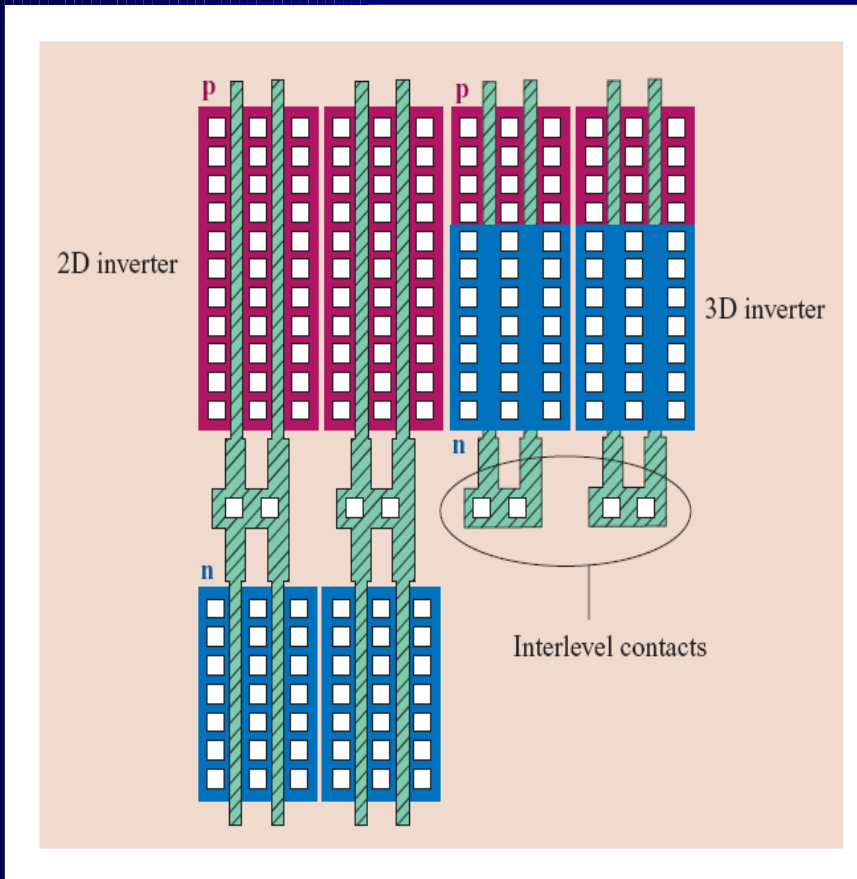
- I dispositivi costituiscono solo **una parte** del problema. L'altro è dato dalle **interconnessioni**.
- Interconnessioni eccessivamente lunghe degradano la potenziale maggiore velocità dei dispositivi.



(Figure taken from "Heterogeneous Integration" *Tech Trend Notes*, September 2003)

# Integrazione in 3D

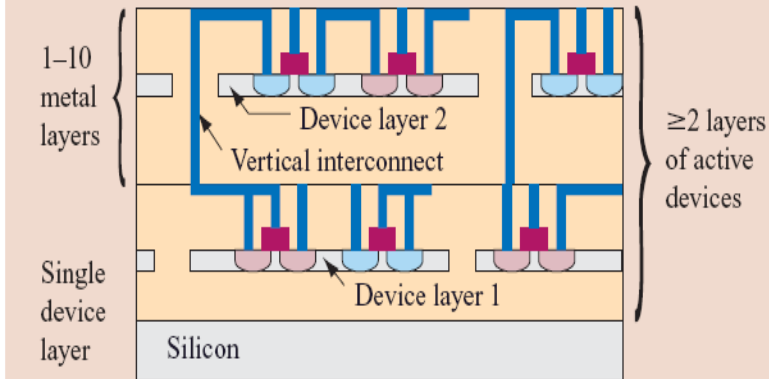
➤ Per accorciare le interconnessioni si possono disporre i **dispositivi** (e non solo i livelli di metallo) su **più livelli**.



A.W Topol et al., " Three dimensional integrated circuits", IBM Journal of Research and Development, Sept. 2006

# System in package

- L'integrazione 3D permette di combinare tecnologie diverse in un **System in Package (SIP)**.
- L'integrazione 3D implica un **aggressivo assottigliamento** dei wafer
- Progetto di R&D a Fermilab per pixel per ILC.





# Uno sguardo d'insieme

- Le moderne tecnologie CMOS si evolvono ad un passo impressionante
- Le tecnologie della generazione 0.35 - 0.25  $\mu\text{m}$  costituiscono un compromesso ideale per l'implementazione di elettronica integrata per HEP.
- Le tecnologie di nuova generazione iniziano a manifestare problematiche maggiori per:
  - Ridotto range dinamico
  - Elevata complessità
  - Costi (500k\$ per un set di maschere in CMOS 0.13 $\mu\text{m}$ ).
  - Potenziali problemi con gli effetti di SEE.
- Uno degli aspetti potenzialmente più promettenti per applicazioni HEP è l'integrazione 3D.
- L'integrazione eterogenea può favorire la sopravvivenza di processi meno aggressivi.

*Congressino di sezione, 11 Gennaio 2008*



*Sezione di Torino*

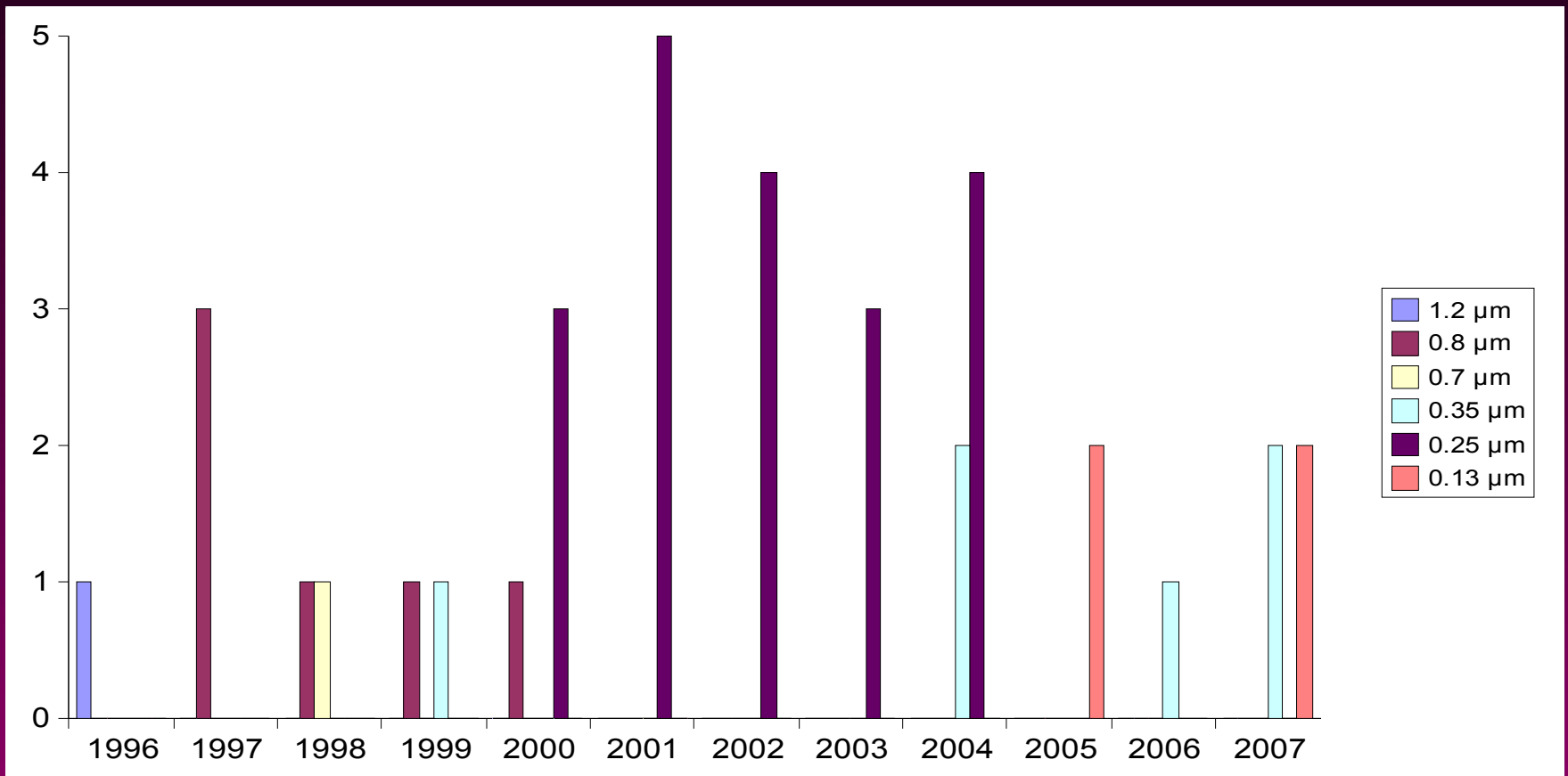
# Progetto di circuiti integrati per applicazioni in fisica. Le attività` della sezione di Torino

## Parte 2

# N. of submissions



Sezione di Torino



# “Old” activities



Sezione di Torino

- \* Analogue amplification and discrimination for binary readout (*CMAD*)
- \* Analogue amplification, storage and A/D conversion (*PASCAL*)
- \* Digital data storage, control flow and DCS (*AMBRA, DILBERT*)
- \* Front end and A/D conversion for dosimetry (*TERA*)

# “New” activities

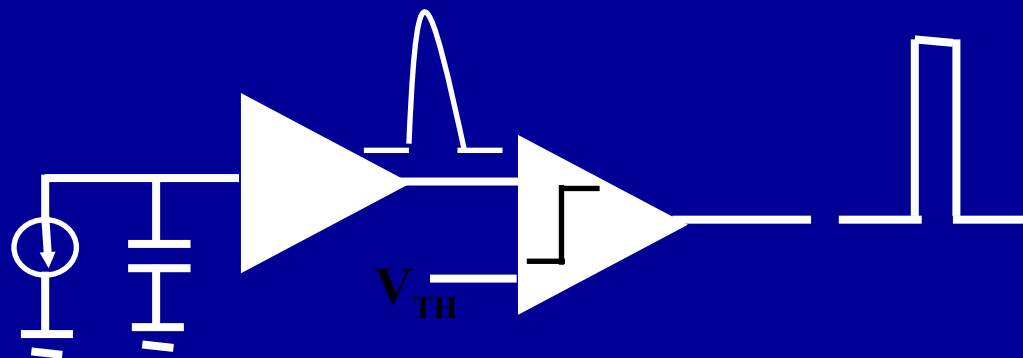


*Sezione di Torino*

- \* Silicon pixel detector readout ASIC
- \* Time to Digital conversion
- \* High speed data transmission

# Architecture selection

## Binary read-out



+

- ❖ Simple
- ❖ Fast
- ❖ Minimum amount of data

-

- ❖ No information on amplitude
- ❖ More difficult to debug

- ✓ Standard for the read-out of pixel detectors
- ✓ Common also for strip detectors

# CMAD

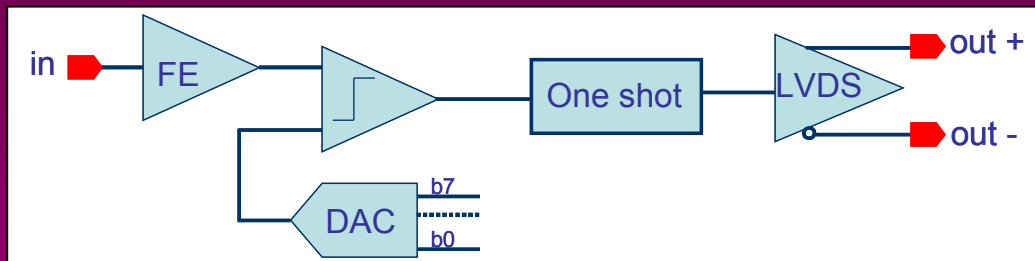
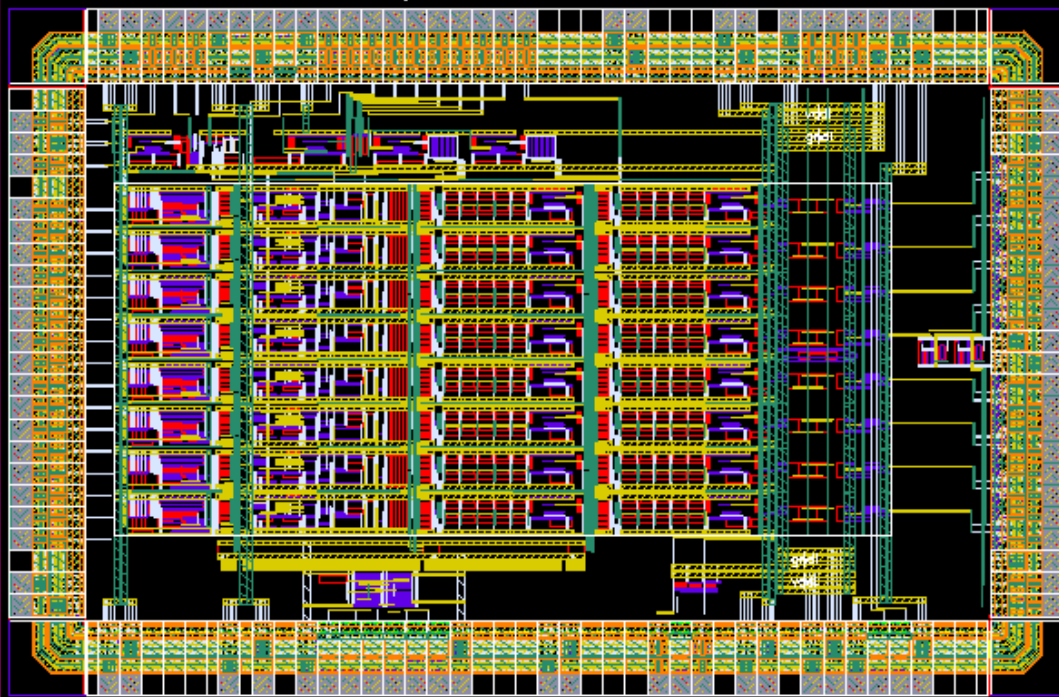


Sezione di Torino

## Readout of the photomultiplier for the COMPASS RICH

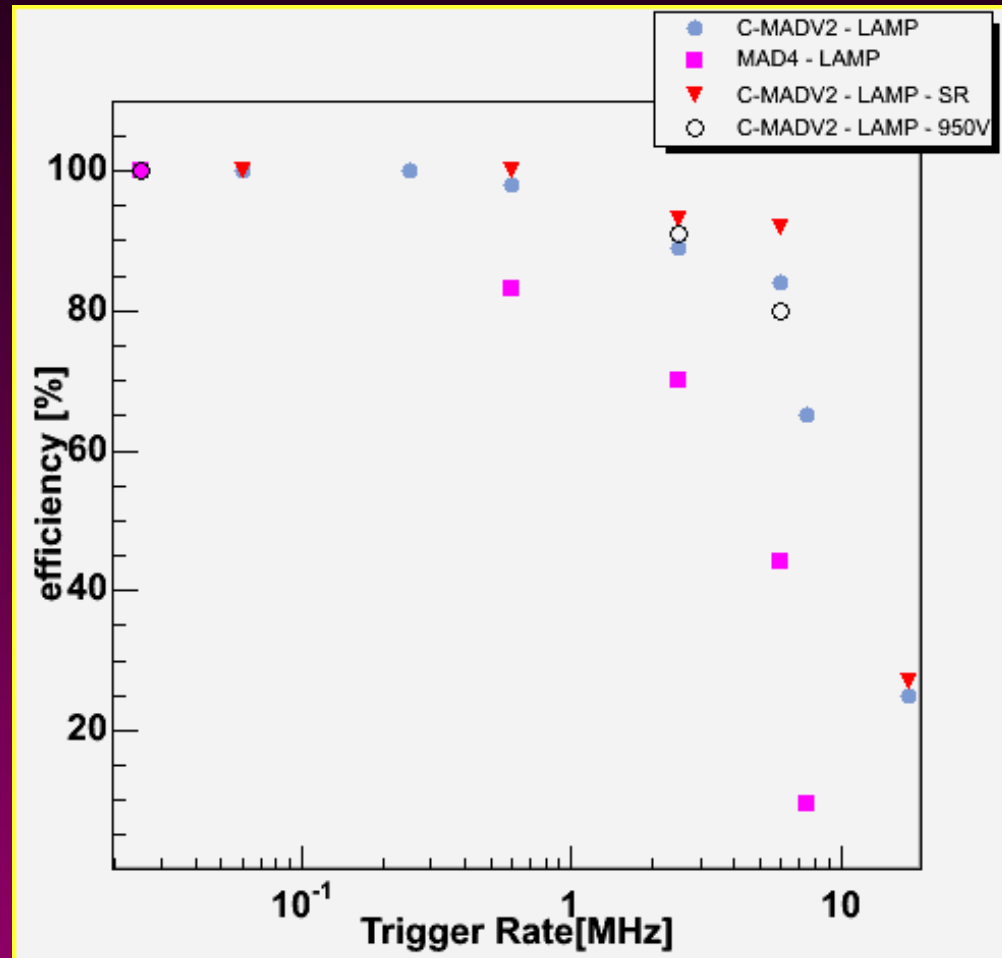
- \* 8 channel
- \* Variable gain F/E amplifier
- \* Baseline restorer
- \* Fast comparator
- \* 10 bit DACs for threshold and baseline adjustment ( per channel )
- \* Programmable one-shot
- \* LVDS output
- \* AD DAC8841 compatible serial interface

# CMAD layout





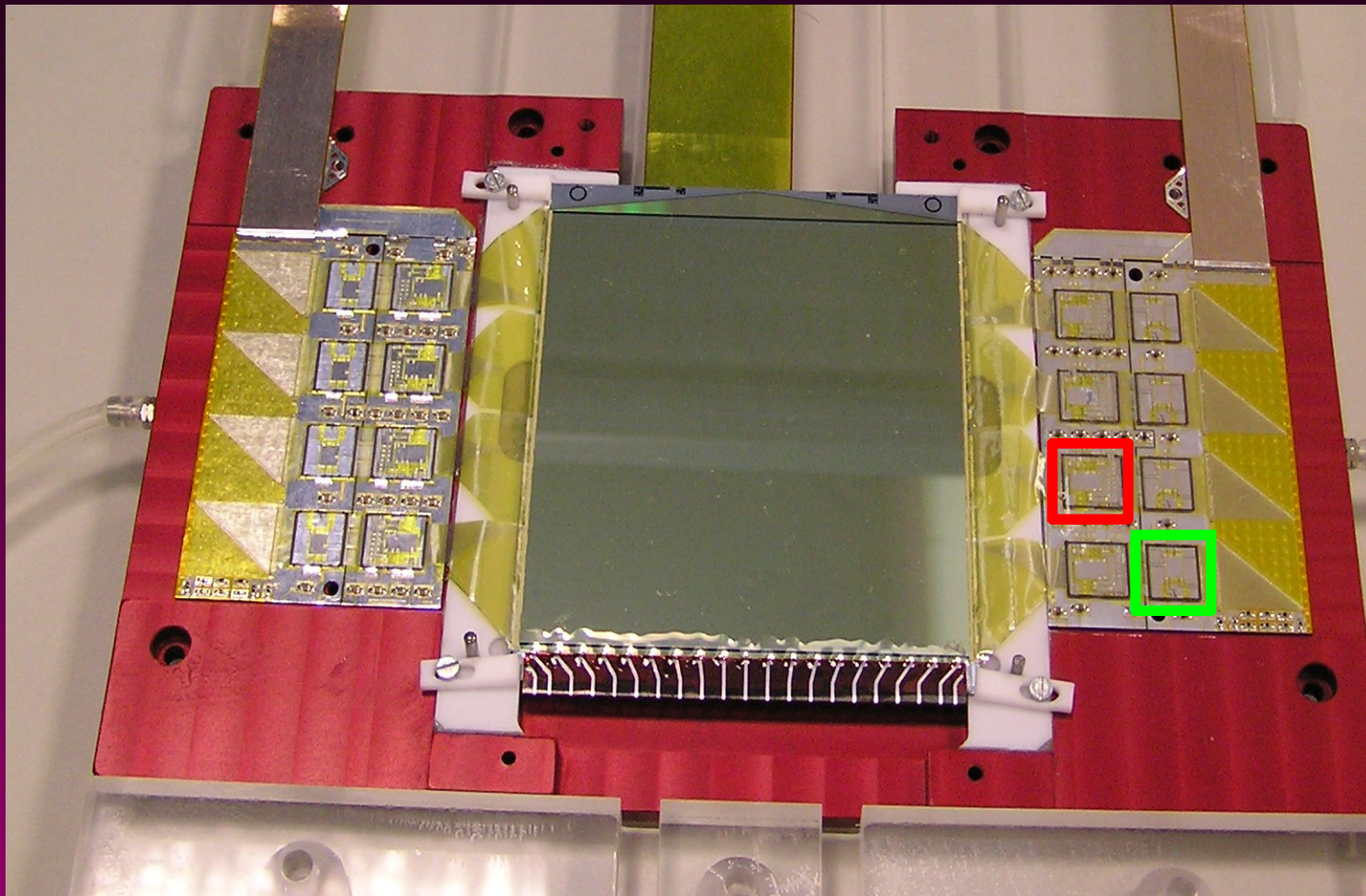
# Trigger rate



# ALICE SDD readout



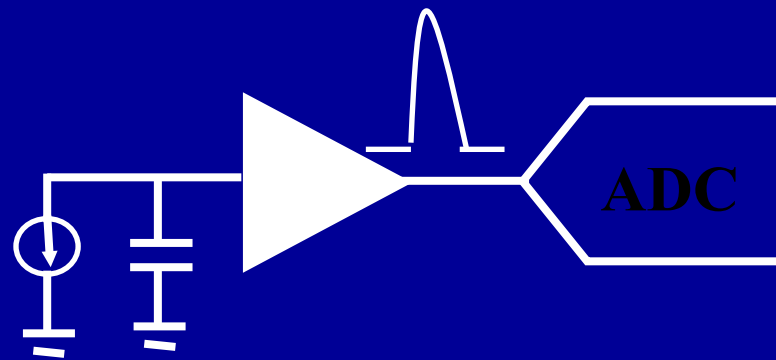
Sezione di Torino



PASCAL  
AMBRA

# Architecture selection (3)

## Mixed-mode readout



+

- ❖ **No information loss**
- ❖ **Robust**

-

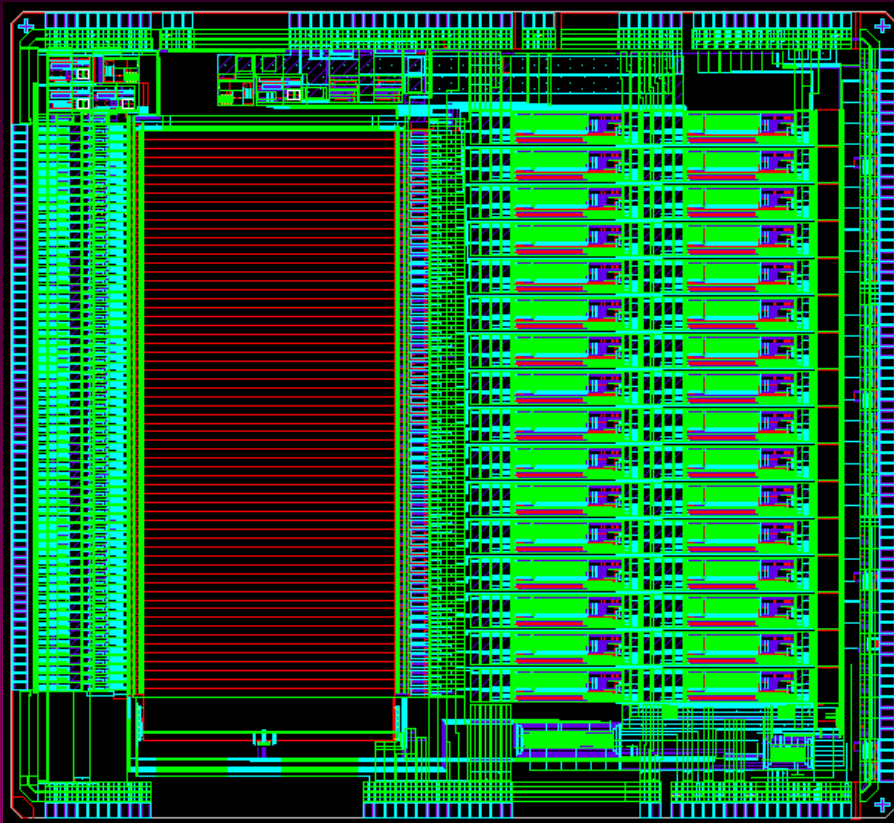
- ❖ **Large data volume**
- ❖ **Mixed-mode IC more difficult to design**

# ASICs layout

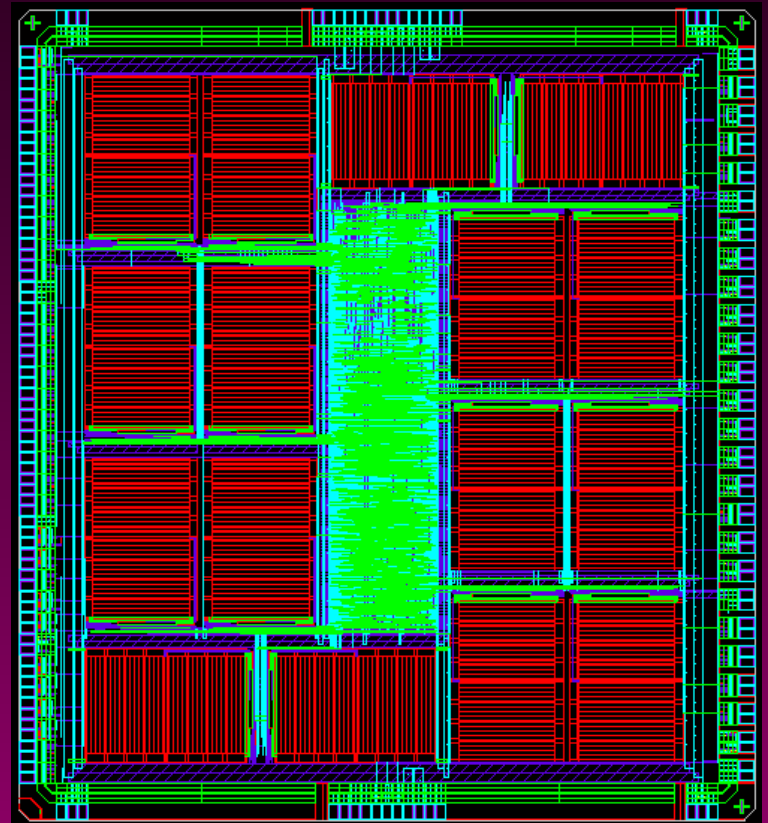


Sezione di Torino

## PASCAL



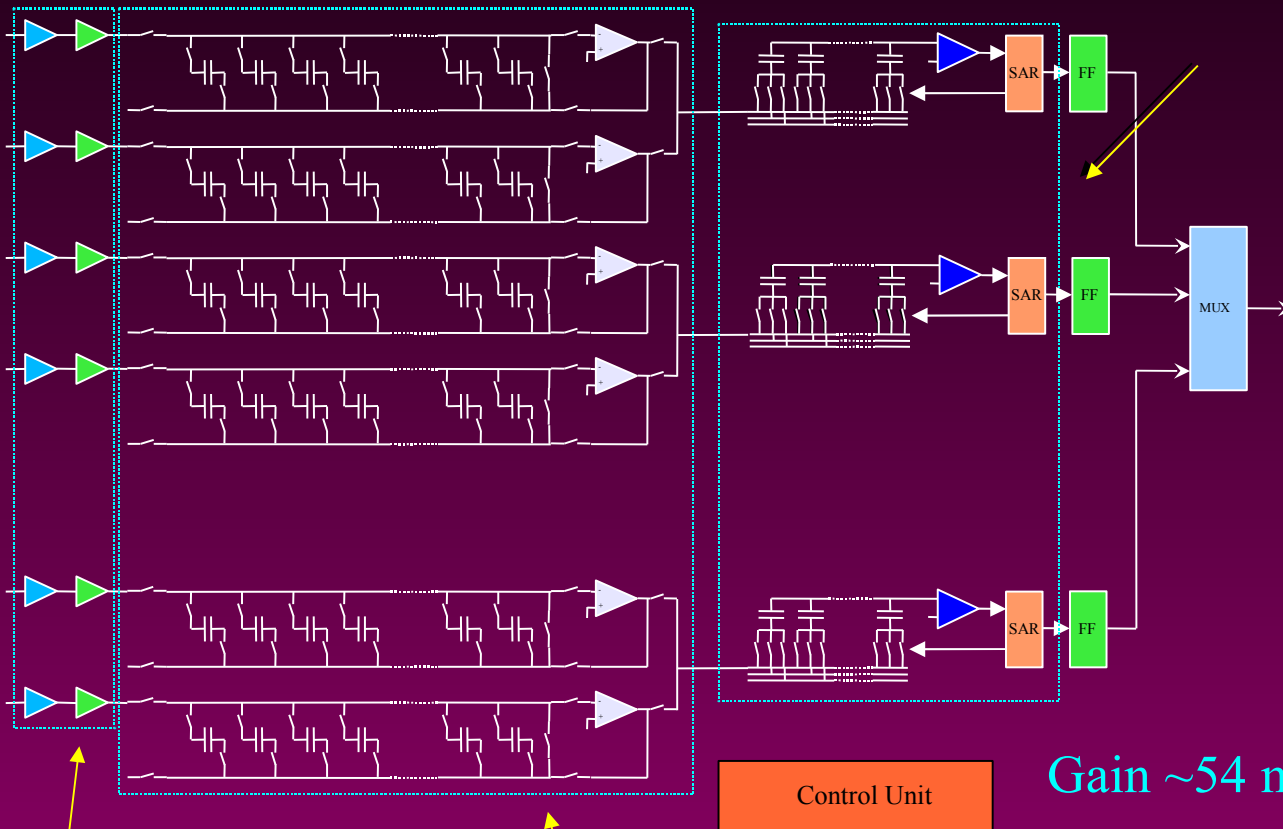
## AMBRA



# PASCAL architecture



Sezione di Torino



Preamplifier + buffer

Analogue memory

64 channels  
Dynamic range 32 fC  
Gain  $\sim 54$  mV/fC ( $\sim 40$  counts/fC)  
Noise  $< 400$  e- r.m.s.  
Power  $< 7$  mW/ch @ 2.5 V

# Performances



Sezione di Torino

## PASCAL

- \* 64 preamplifiers + shapers
- \* 64x256, analogue memory
- \* 32 10 bit-2 MS/s SA ADC
- \* Internal LDO
- \* Internal pulse generator
- \* Configuration via JTAG protocol
- \* Custom differential low power digital interface

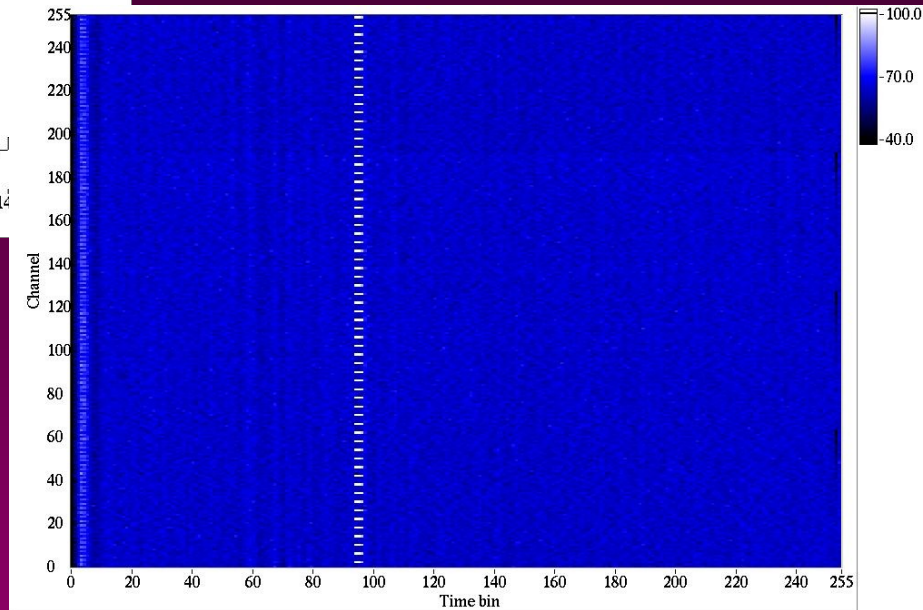
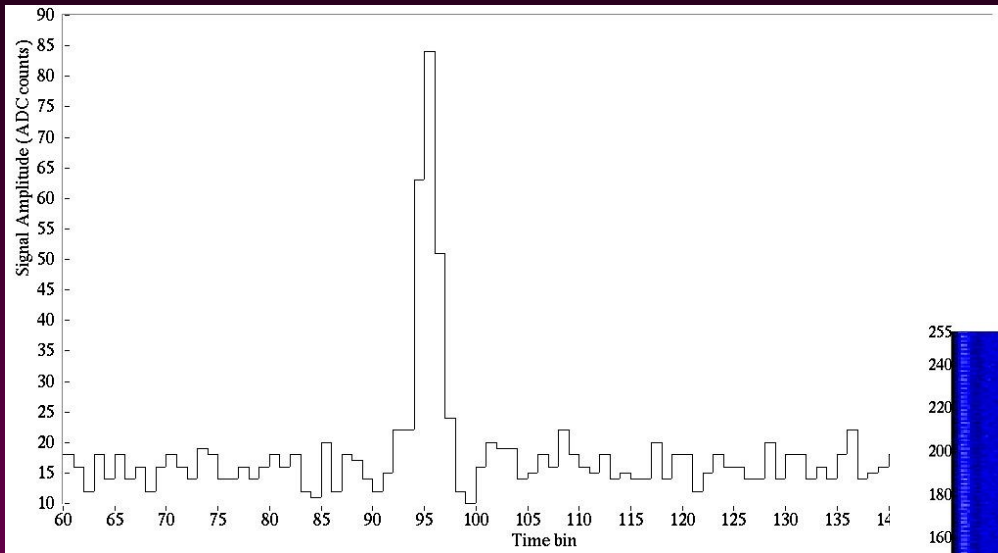
## AMBRA

- \* 4x16 Kbytes memory buffers
- \* Baseline subtraction ( 6 bits )
- \* Channel masking
- \* Parity check ( RAM and registers )
- \* Non linear compression ( 10 to 8 bits )
- \* Multiplexing
- \* LVDS output
- \* Addressable JTAG interface

# Some measurements



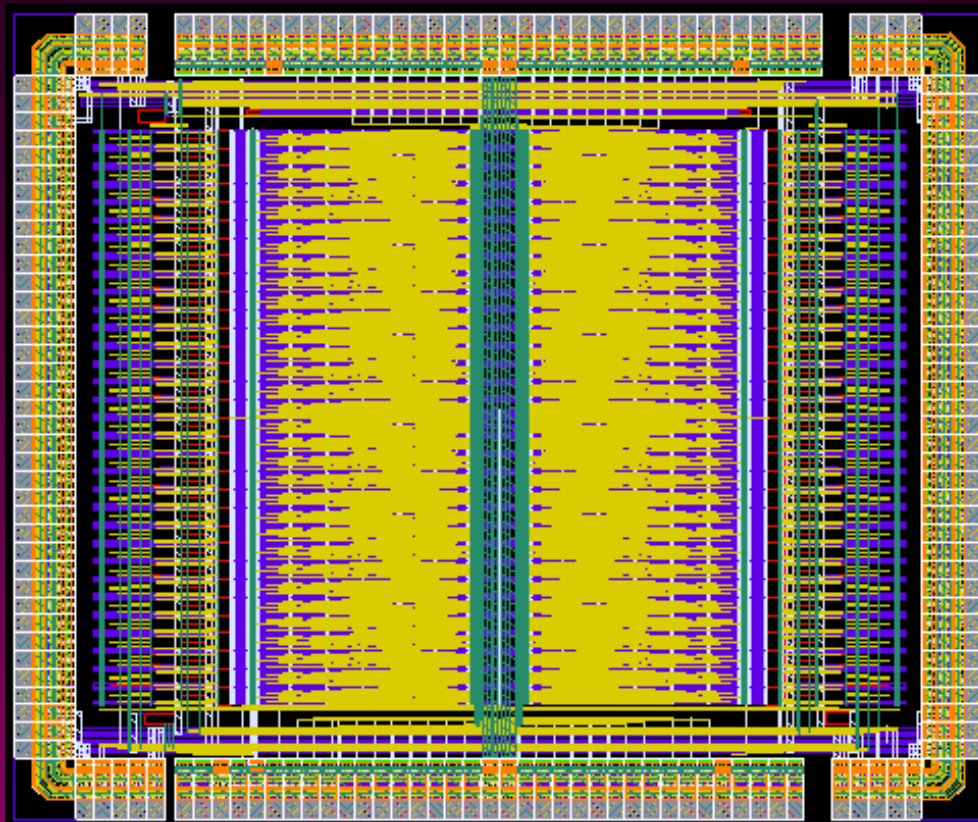
Sezione di Torino



# TERA layout



Sezione di Torino



64 channels

I→f converter + 32 bit counter

Dynamic range 500 pA ÷ 3 μA

Non linearity < 1.5%

3-bit settable charge resolution  
(in the 50 ÷ 350 fC range)

Versions in :

CMOS 1.2 μm

CMOS 0.8 μm

CMOS 0.35 μm

Applications :

CNAO

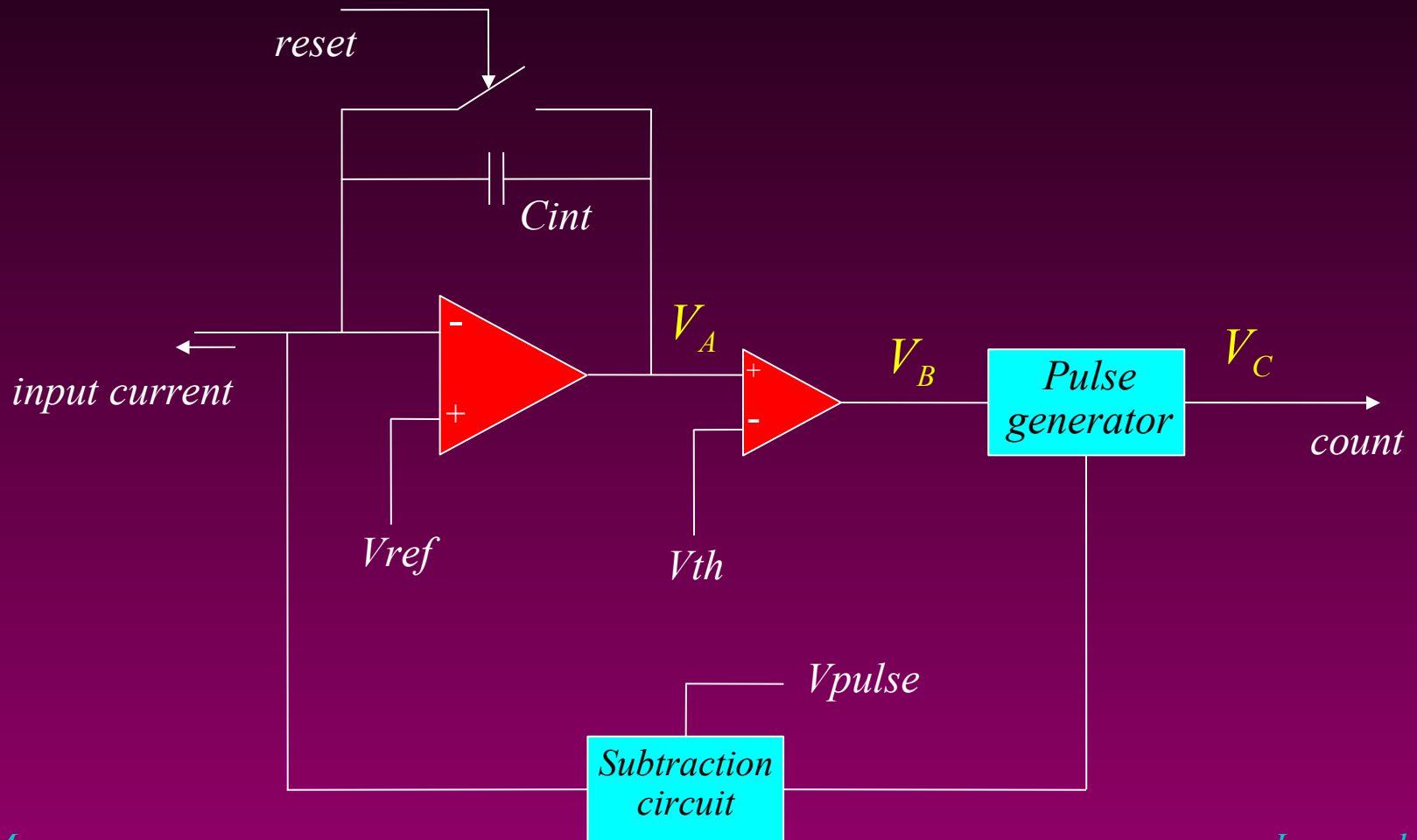
MatriXX



# TERA



Sezione di Torino



# Technology transfer



Sezione di Torino



The MatriXX is a Scanditronix-Wellofer commercial 2D dosimeter based on the TERA chip

# SPD readout ASIC



Sezione di Torino

## NA62

- \* Pixel size  $300 \times 300 \mu\text{m}^2$
- \* Time information with 150 ps resolution
- \* No amplitude information
- \* Max data rate :  $1.37 \text{ MHz/mm}^2$
- \* Technology : CMOS  $0.13 \mu\text{m}$
- \* Status : first prototype tested, second prototype under design

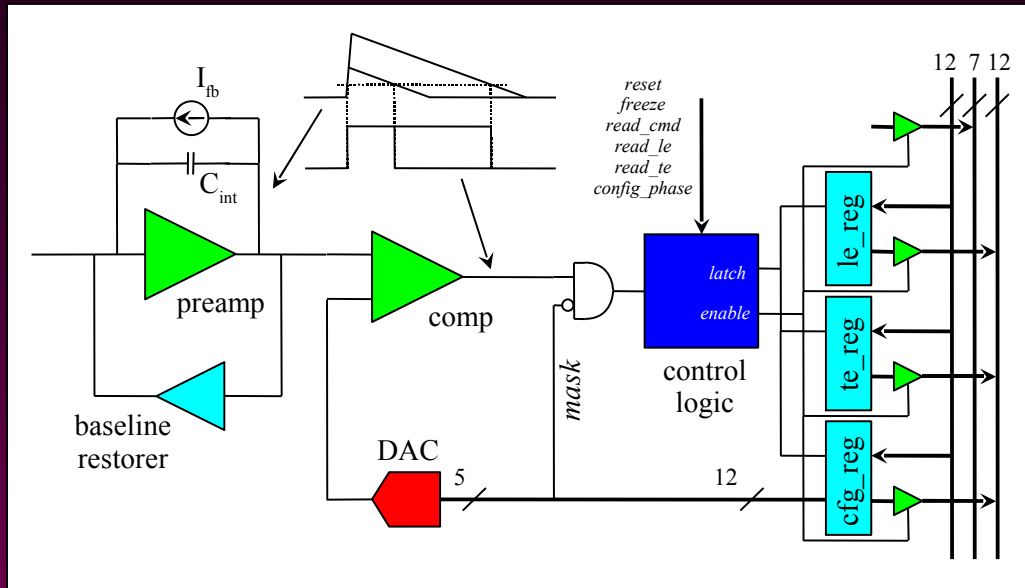
## PANDA ( ToPiX )

- \* Pixel size  $100 \times 100 \mu\text{m}^2$
- \* Time information with 20 ns resolution
- \* Amplitude information via ToT
- \* Max data rate :  $31.25 \text{ kHz/mm}^2$
- \* Triggerless environment
- \* Technology : CMOS  $0.13 \mu\text{m}$
- \* Status : first prototype tested, second prototype submitted

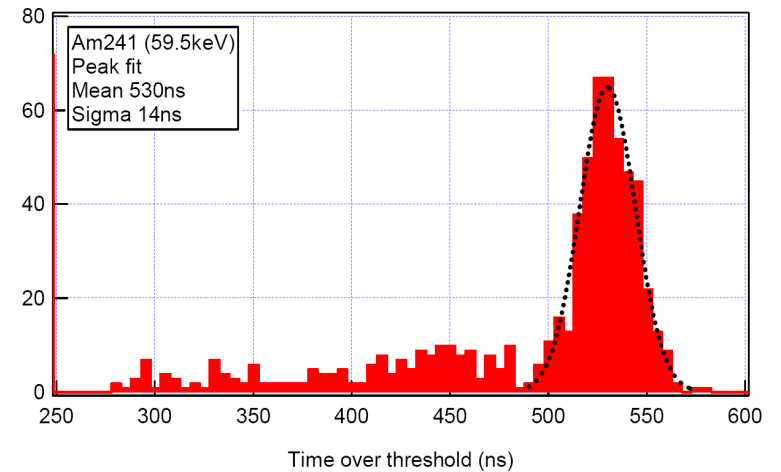
# ToPiX



Sezione di Torino



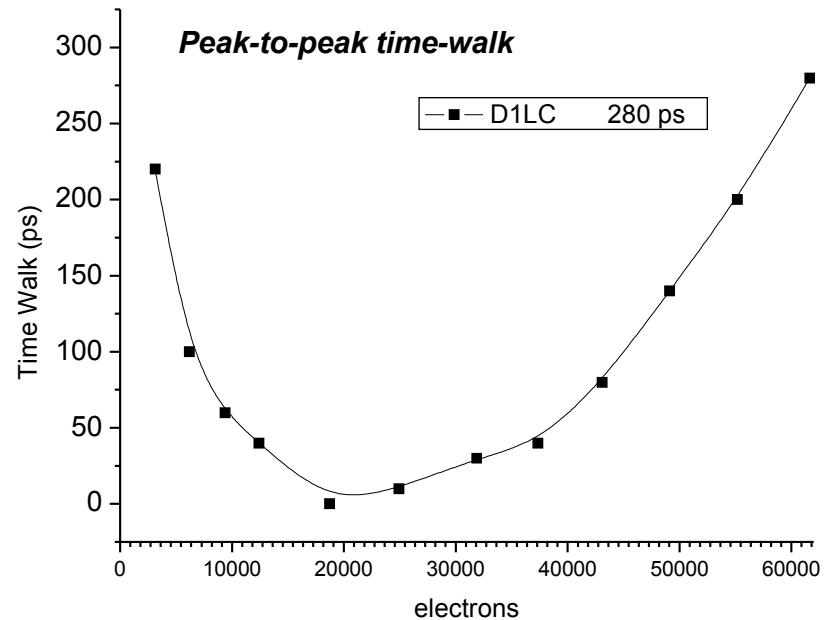
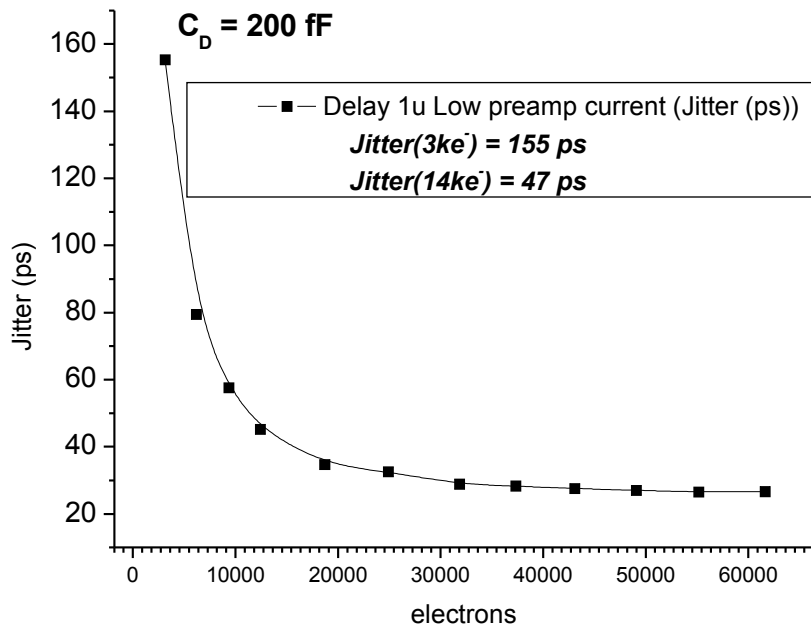
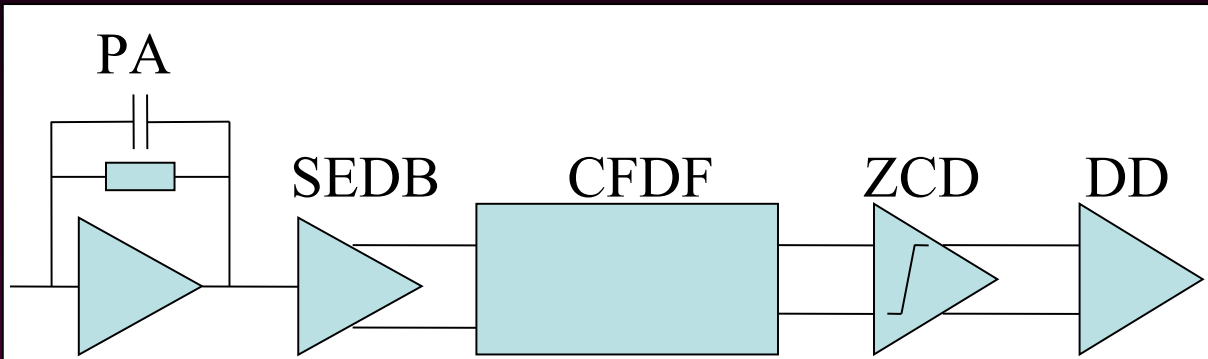
Preliminary result with an Am241 source



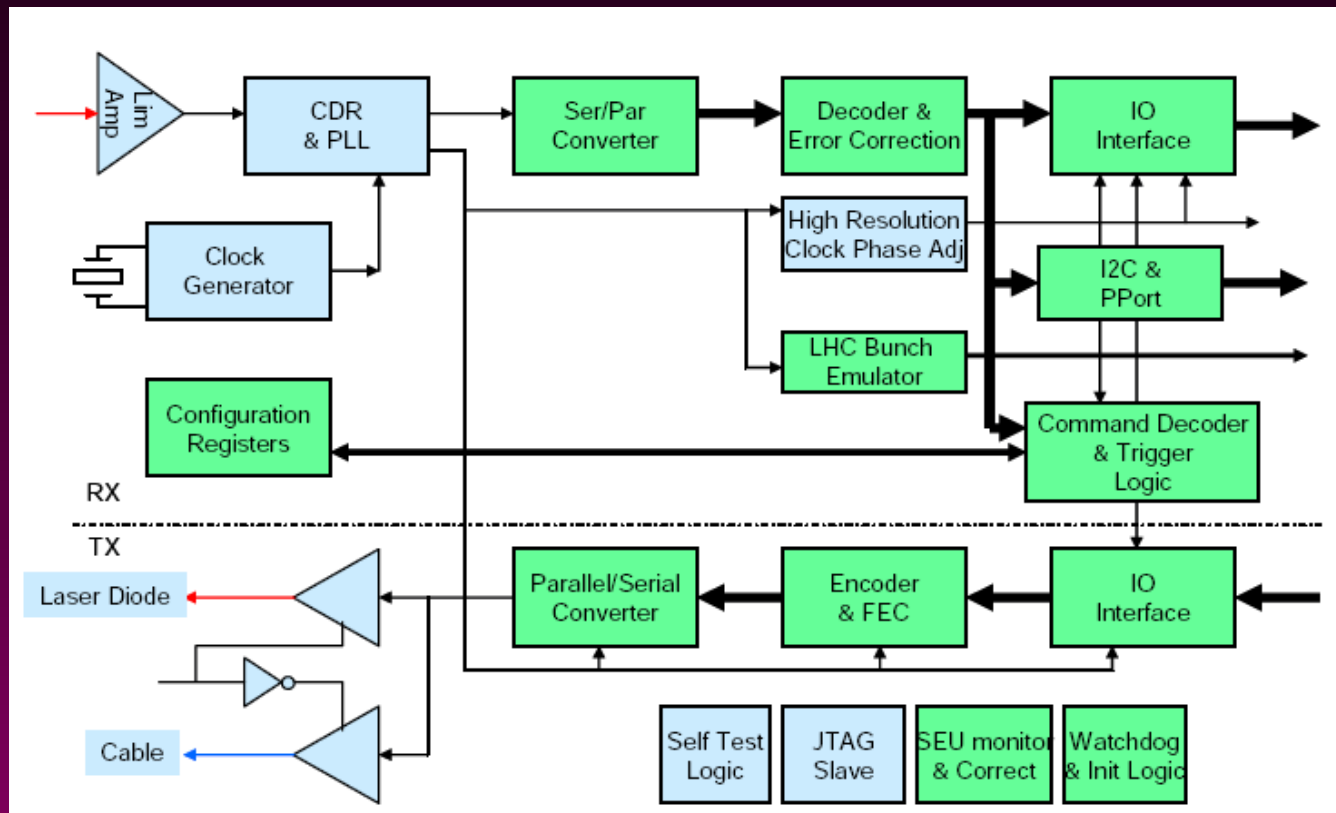
# NA62 CFD tests



Sezione di Torino



# GBT13

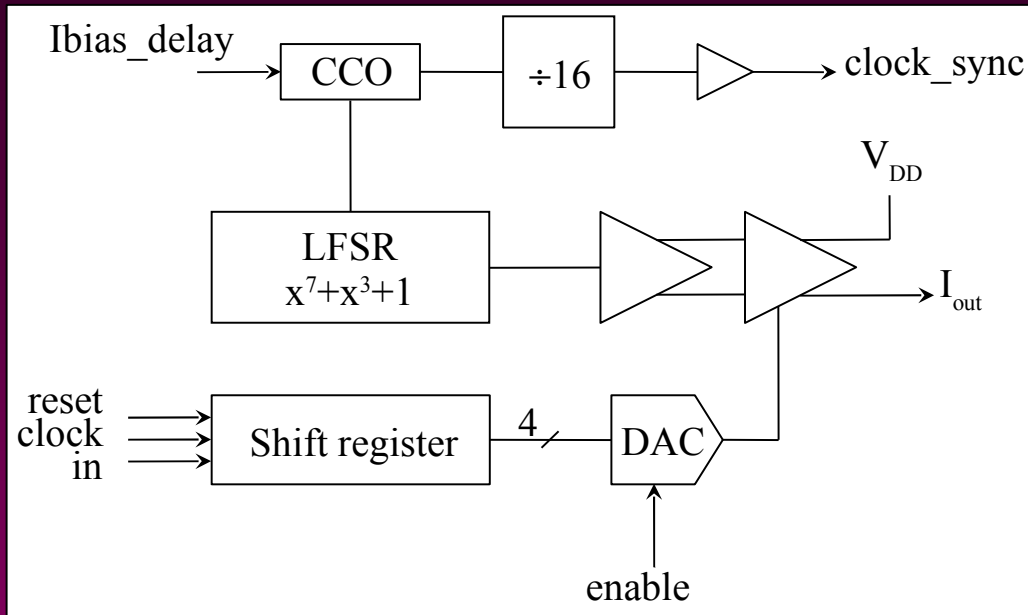


Next generation high speed optical link  
for SLHC *et al.*

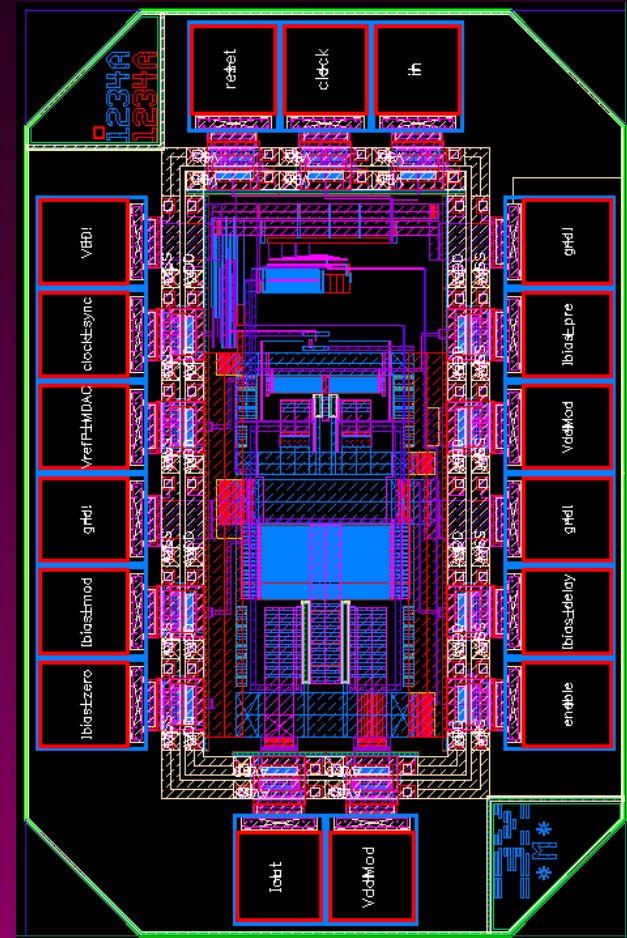
# DACEL



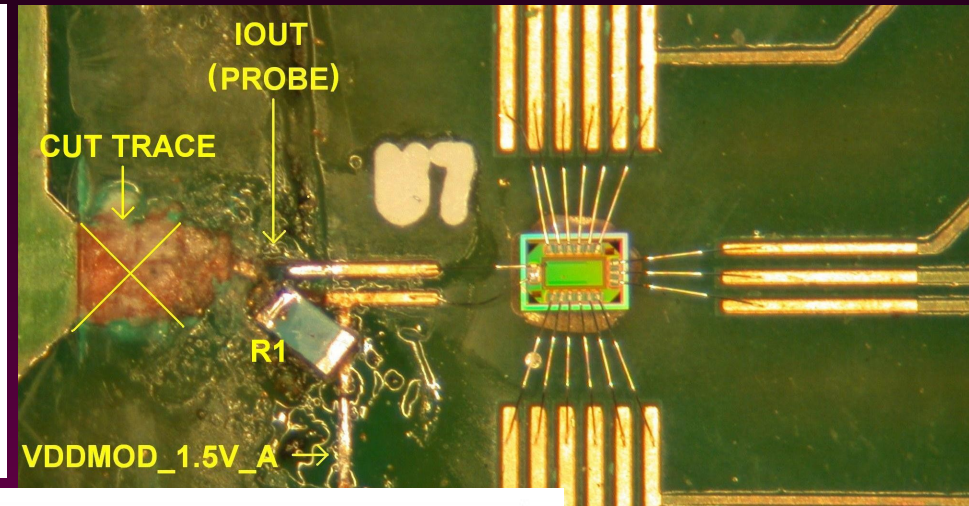
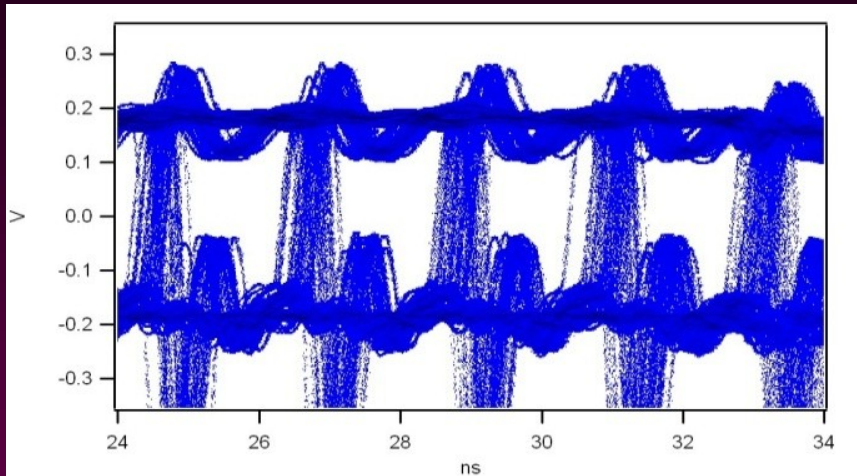
Sezione di Torino



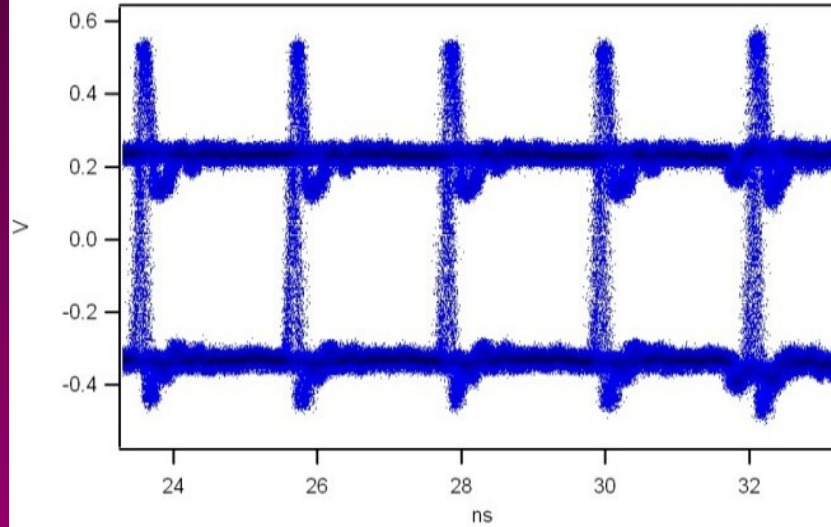
\* Technology : CMOS 0.13  $\mu\text{m}$



# HF problems...

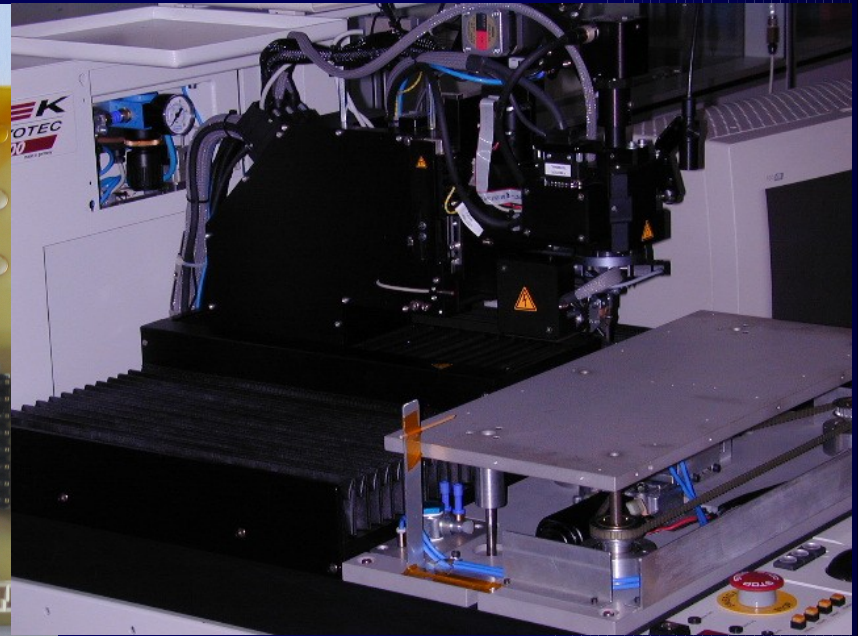
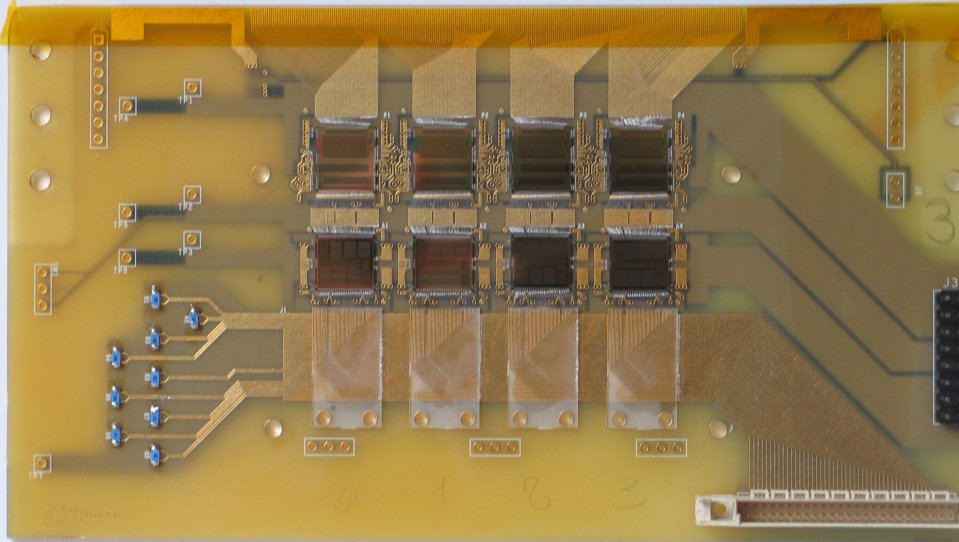


From a rise time of  
175 ps to 73 ps  
( 10% - 90% )





L'attività di microelettronica si avvale necessariamente sia della facility di bonding sia del laboratorio di elettronica per il disegno dei circuiti stampati. Il supporto della sezione è stato ed è fondamentale!

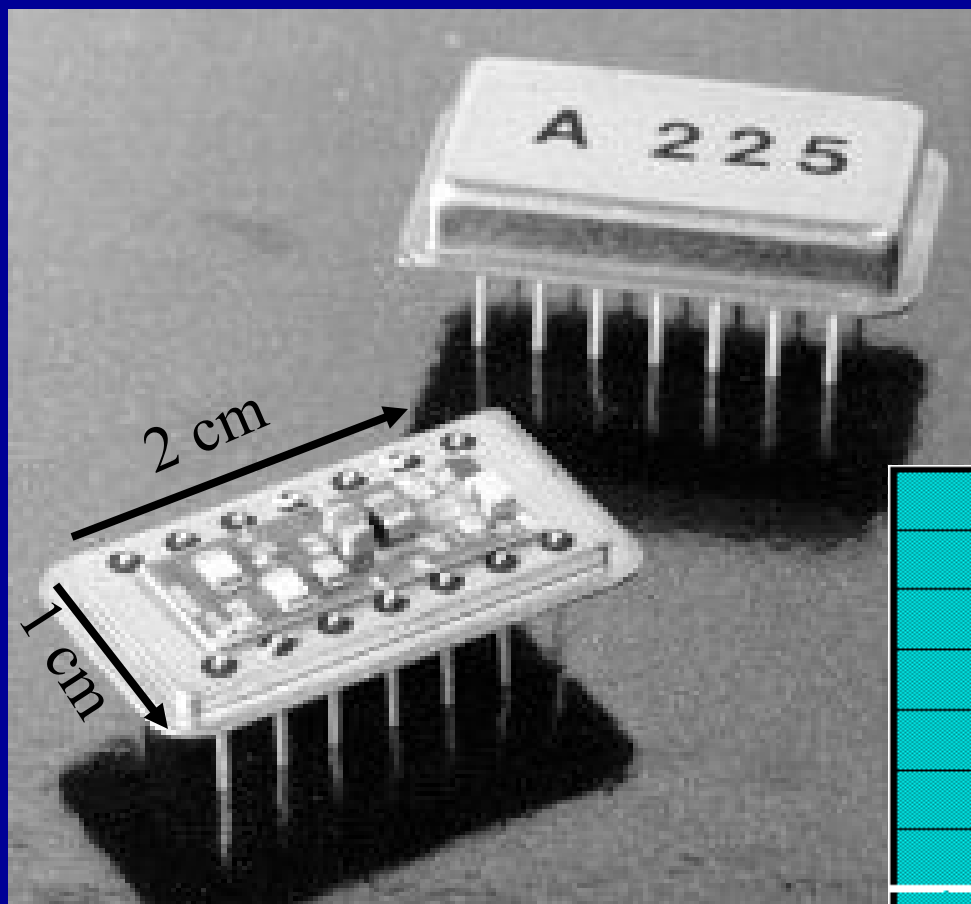


## Partecipanti...

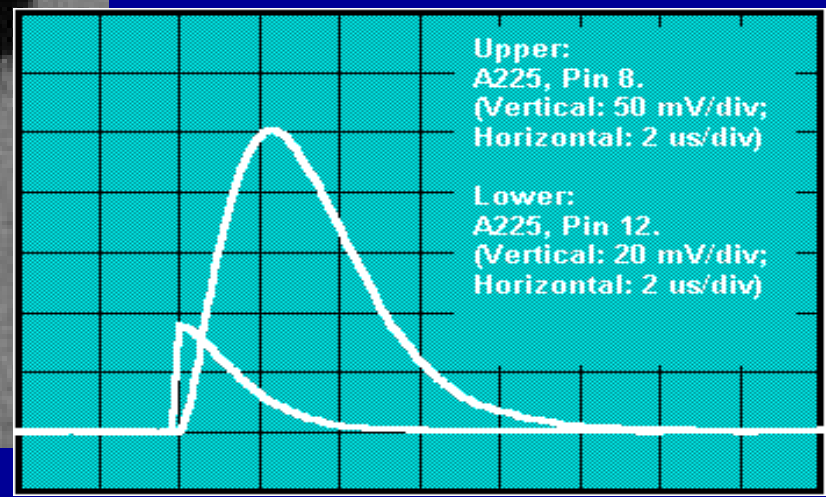
G. Dellacasa, P. Deremigis, S. Martoiu, G. Mazza, M. Mignone, B. Pini, A. Rivetti,  
F. Rotondo, R. Wheadon...

+...una ventina di tesi di laurea, 2 di Dottorato discusse, due "in fieri"...

# Discrete...

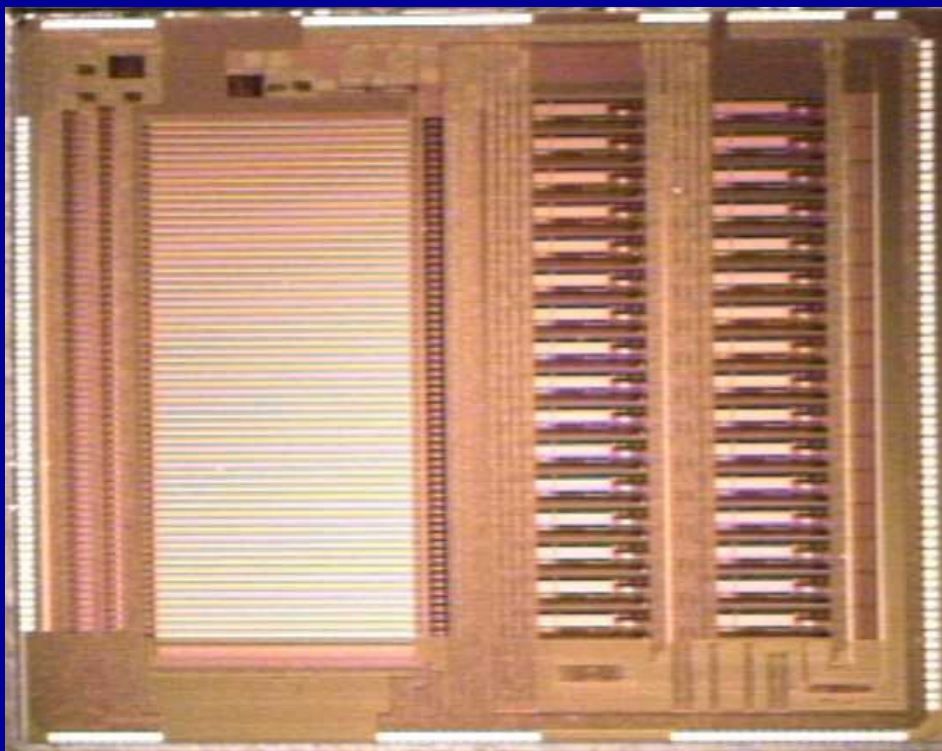


- 1 channel**
- minimum power: 10mW**
- power supply: 4V to 25V**
- current: 2.3mA**
- shaping time: 2.4 $\mu$ s**
- noise < 280 e<sup>-</sup> rms**
- size: 2cm x 1cm**



# ... and integrated

**Front – end for ALICE SDD**



1 cm

**CMOS 0.25 $\mu$ m technology**

**64 channels**

**32 10 bits ADC**

**Power 8mW/ch**

**Shaping time: 40ns**

**Noise < 280 e<sup>-</sup> rms**

**Size: 1cm x 0.9cm**

